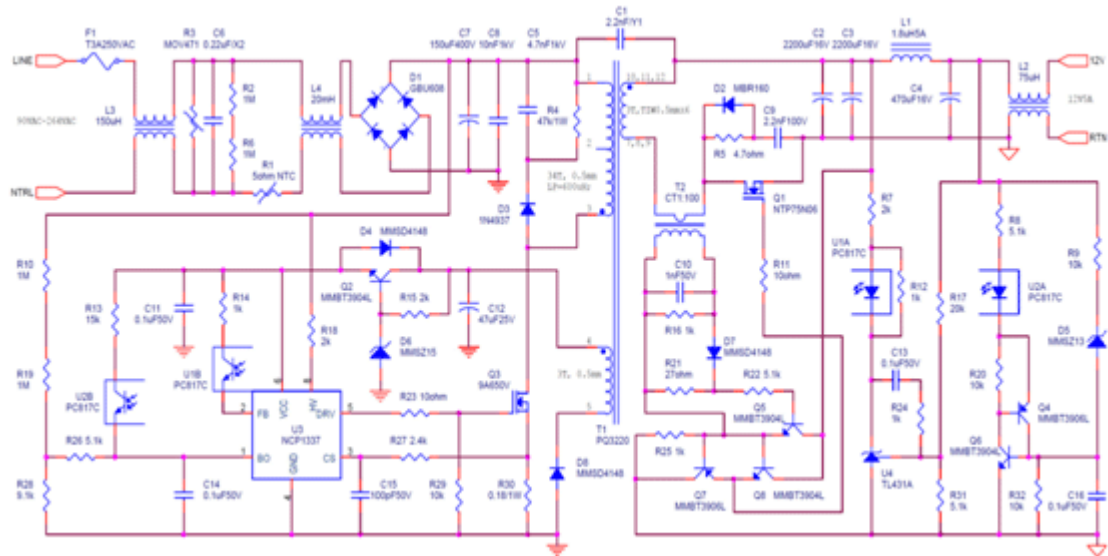


NCP1337ADAPGEVB 方案原理图

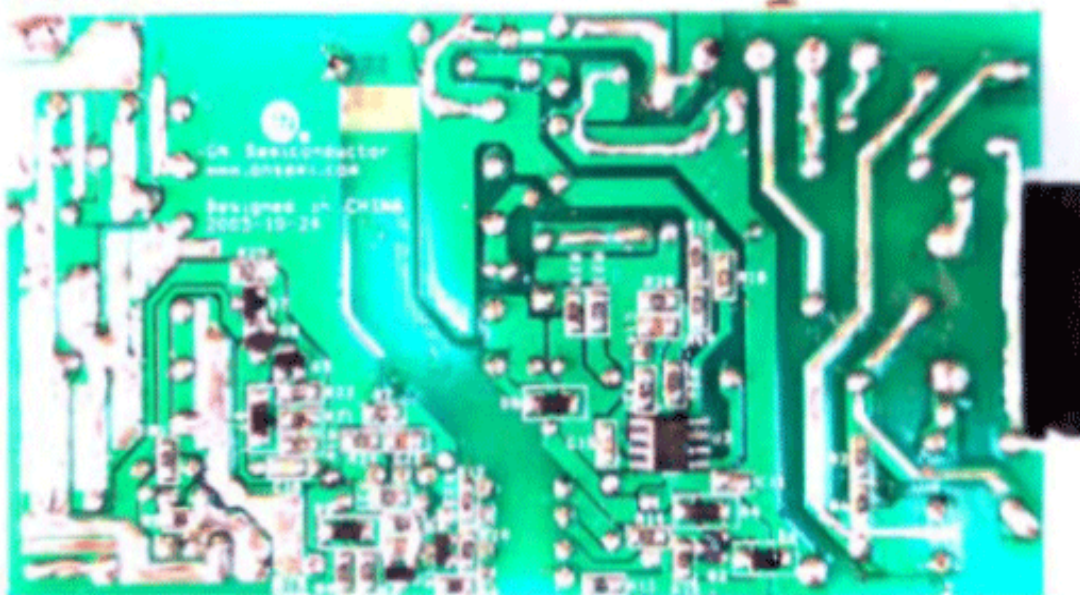
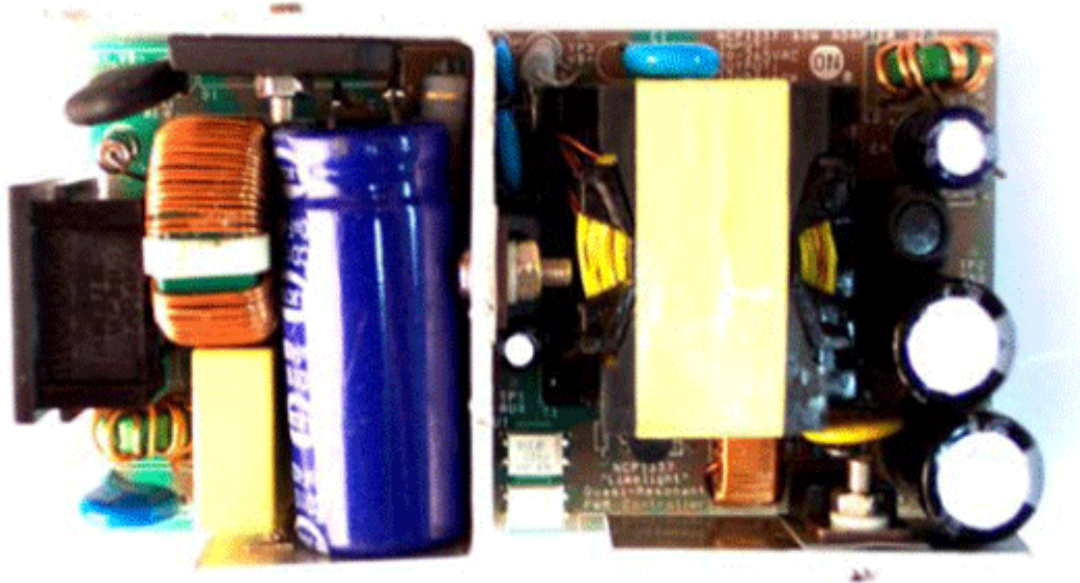


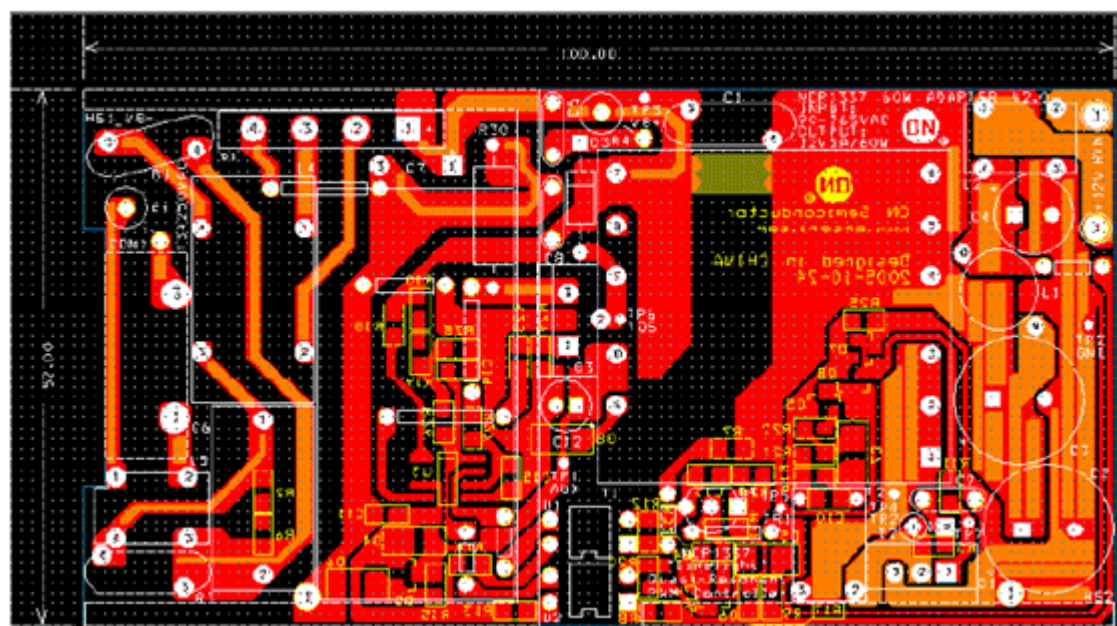
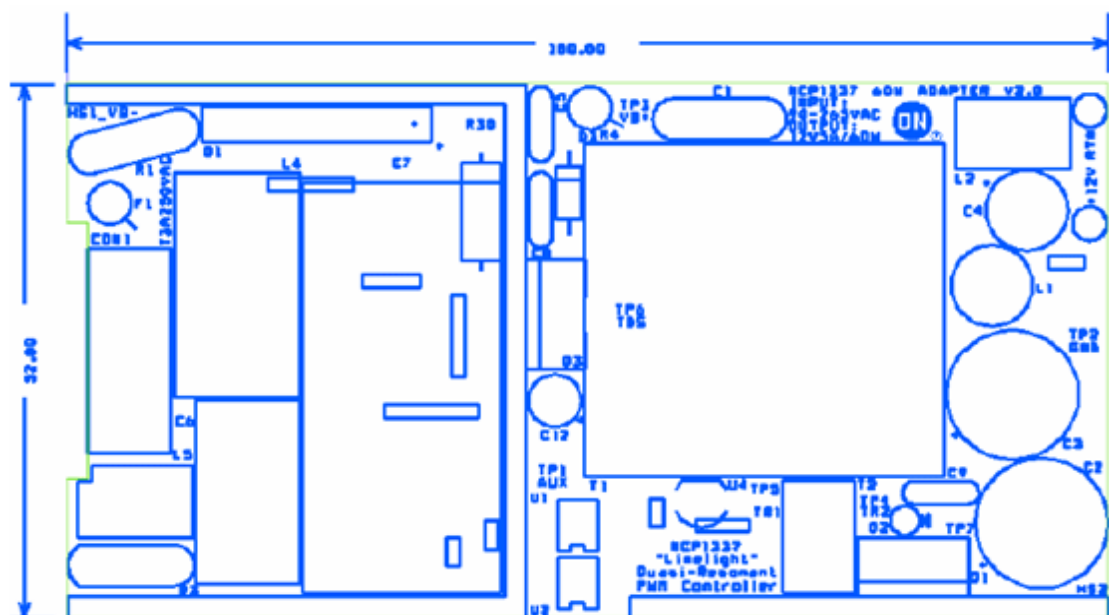
Item	Quantity	Reference	Part	Manufacturer
1	1	C1	2.2 nF/Y1	
2	2	C2, C3	2200 μF, 16 V	
3	1	C4	470 μF, 16 V	
4	1	C5	4.7 nF, 1 kV	
5	1	C6	0.22 μF/X2	
6	1	C7	150 μF, 400 V	
7	1	C8	10 nF, 1 kV	
8	1	C9	2.2 nF, 100 V	
9	1	C10	1 nF, 50 V	
10	4	C11, C13, C14, C16	0.1 μF, 50 V	
11	1	C12	47 μF, 25 V	
12	1	C15	100 pF, 50 V	
13	1	D1	GBU608	
14	1	D2	MBR160	ON Semiconductor
15	1	D3	1N4937	ON Semiconductor
16	3	D4, D7, D8	MMSD4148	ON Semiconductor
17	1	D5	MMSZ13	ON Semiconductor
18	1	D6	MMSZ15	ON Semiconductor
19	1	F1	T3A250VAC	
20	1	L1	1.8 μH, 5A	
21	1	L2	75 μH	
22	1	L3	150 μH	
23	1	L4	20 mH	
24	1	Q1	NTP75N06	ON Semiconductor
25	4	Q2, Q5, Q6, Q8	MMBT3906L	ON Semiconductor
26	1	Q3	9 A, 650 V	
27	2	Q4, Q7	MMBT3906L	ON Semiconductor

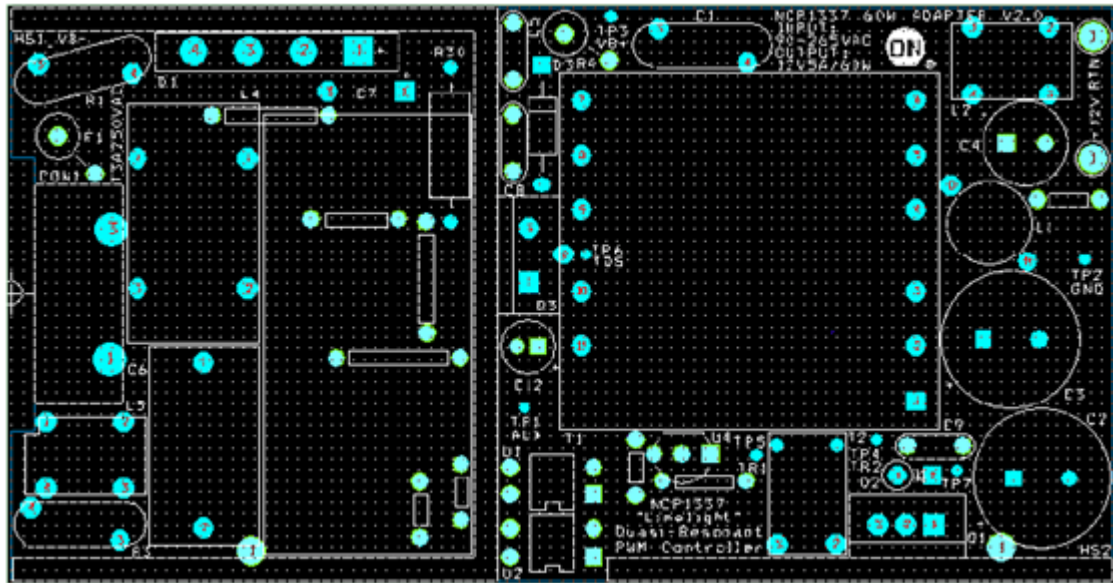
Item	Quantity	Reference	Part	Manufacturer
28	1	R1	5 Ω NTC	
29	4	R2, R6, R10, R19	1M Ω	
30	1	R3	MOV471	
31	1	R4	47k Ω /1 W	
32	1	R5	4.7 Ω	
33	3	R7, R15, R18	2 k Ω	
34	4	R8, R22, R26, R31	5.1 k Ω	
35	4	R9, R20, R29, R32	10 k Ω	
36	2	R11, R23	10 Ω	
37	5	R12, R14, R16, R24, R25	1 k Ω	
38	1	R13	15 k Ω	
39	1	R17	20 k Ω	
40	1	R21	27 Ω	
41	1	R27	2.4 k Ω	
42	1	R28	9.1 k Ω	
43	1	R30	0.18 Ω /1 W	
44	1	T1	PQ3220	
45	1	T2	CT1:100 Toroid or UU9.8	
46	2	U1, U2	PC817C	
47	1	U3	NCP1337	ON Semiconductor
48	1	U4	TL431A	ON Semiconductor
49	1	PCB	PCB5.2*10	

PCB 元件布局图:

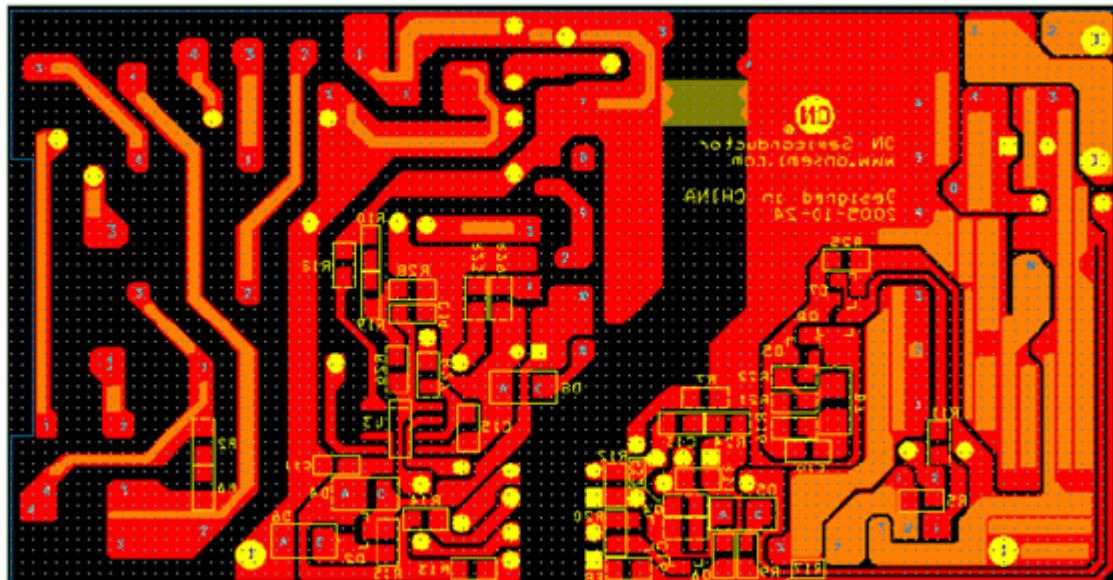




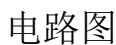




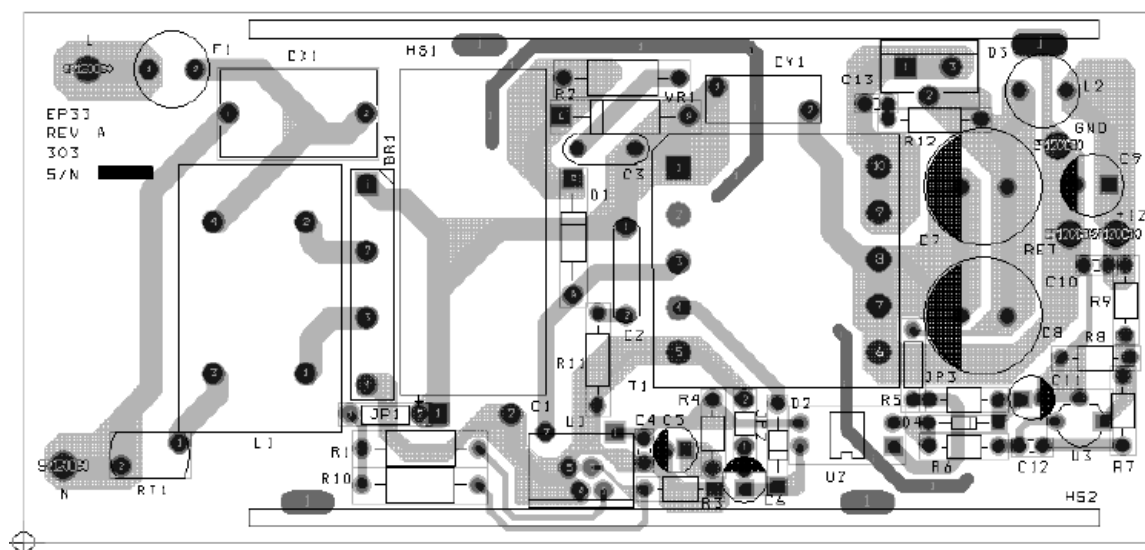
A0-Electronics 傲壹电子 官网: www.aoelectronics.com 中文网: www.aoelectronics.cn



输入 100Vac~240Vac/50Hz；输出 12V/3.75A（45W）的开关电源电路图、PCB 板及实物图如下。具体电路的分析与设计可参考 PI 公司网站关于 TOP247Y 的应用信息（application note）。



电路图



PCB



实物图

案例三 L6562A 控制的反激式 PFC 恒流输出电路

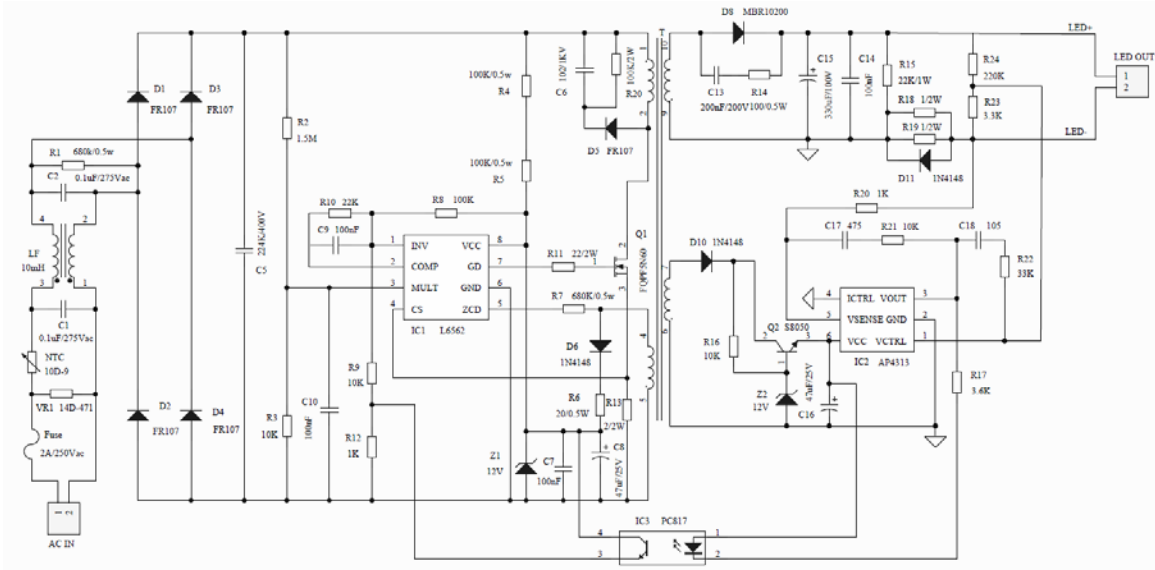
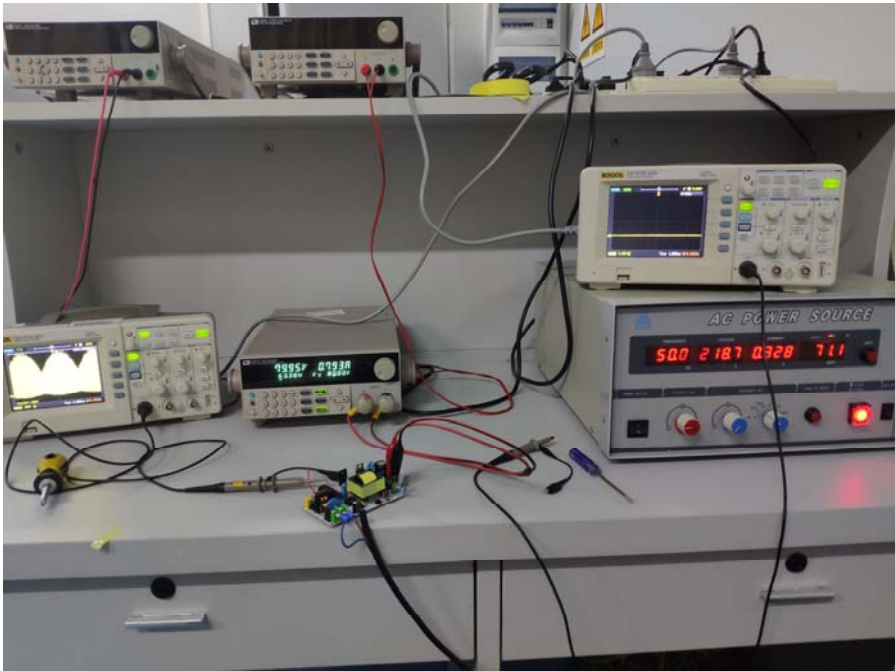


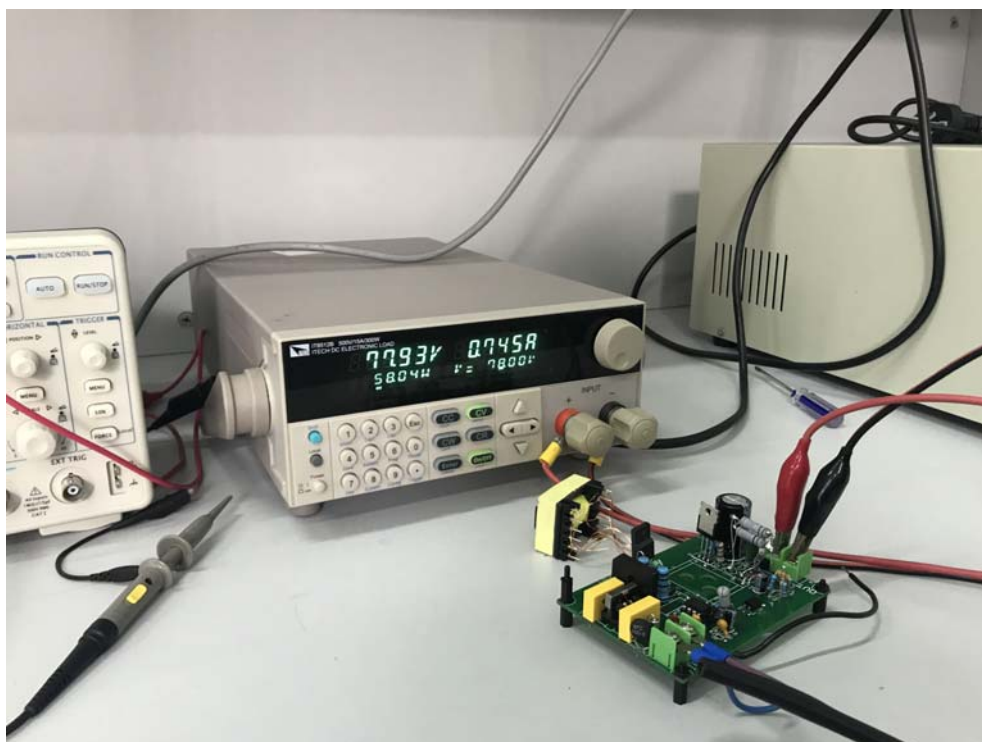
图 L6562A 控制的反激式 PFC 电路
电路预定技术指标及参数

名称	描述	名称	描述
$V_{inmin}=100VAC$	最低交流输入电压	$I_o=750mA$	输出电流
$V_{inmax}=264VAC$	最高交流输入电压	$P_o=60W$	标称输出功率
$V_{out}=80VDC$	正常输出电压	$\eta=0.87$	典型效率@220VAC
$V_r=210VDC$	最大反射电压	$f_{smin}=25KHz$	最小开关频率

实验样品及测试的结果:



样机 1



样机 2



样机 3



序言

针对全球高能效标准的电源设计

电源设计一直是一个极富挑战性的工作。随着许多传统的难题得以解决，一些有关电源效率的规范和要求的标准将再次展现新的挑战。

规范标准的第一个阶段其实已经开始，针对降低待机能耗（低负载状态）方面。下一个阶段的任务将更艰巨，就是提高工作状态下电源的效率。在美国国家环保局“能源之星” (Energy Star) 计划以及中国中标认证中心 (CECP) 的推动下，世界各地正在公布有关电源工作效率的新能效标准。

这些更有挑战性的标准将需要电源厂商及其供应商（包括半导体供应商）共同努力，提供能符合这些新要求的解决方案。

在这些趋势中，IEC 1000-3-2 对功率因数校正（PFC）或降低谐波电流的强制标准要求，是近年来电源结构方面最大的变化。随着所有设备的功率不断增大，及降低谐波电流的标准也不断普及，越来越多的电源设计已经采用 PFC。设计人员因此面临这样一个难题，既要在产品中采用合适的 PFC 电路，也要满足降低待机能耗、提高工作效率和 EMI 限制等高效指标。

安森美半导体（ON Semiconductor）一直致力于按特定的电源要求提供最理想的解决方案，包括为客户提供拓扑结构和元件选择方面的设计参考。本手册尝试着在满足系统总指标的前提下对各种 PFC 方案进行全面的比较。随着新技术和新元件的推出，人们可能会放弃一种方案去选择另外一种方案，但是本手册介绍的方法仍将是适用的，不会过时，可协助电源设计人员针对其特定的应用产品获得最佳的 PFC 电路选择。

安森美半导体衷心地希望这本手册能帮助您设计出高效、经济的 PFC 电路。如需查看这方面的最新资料，敬请访问我们的网站：www.onsemi.com.cn。

目录

前言	4
第一章 功率因数校正方法概述	5
引言	5
定义	5
功率因数转换器的类型	6
无源控制器	7
临界导电模式控制器	8
连续导电模式控制器	10
平均电流模式控制器	11
第二章 比较有源PFC方法的方法学	18
方法的选择	18
测试方法学	19
比较准则	20
第三章 临界导电模式(CRM) PFC和直流-直流段	21
功率因数转换器模式, 传统升压法和跟随升压法的比较	21
150W临界导电模式PFC设计实例	22
结果	24
传统升压法和跟随升压法各自的优缺点	24
120W直流-直流设计实例	26
第四章 连续导电模式(CCM) PFC	28
150 W连续导电模式PFC设计实例	28
结果	32
120W单段PFC反激设计实例	33
结果	38
第五章 四种方法的详细分析和结果	39
预调节器段分析	39
全功率段的分析结果	41
趋势图	42
第六章 EMI考虑事项	44
背景	44
EMI测量结果	44
对CRM转换器的更改	47
对CCM转换器的更改	48
参考文献	49
附录	50
补充文档	
AND8016 使用Greenline™小型功率因数控制器MC33260设计功率因数校正电路	57
AND8106 100瓦通用输入PFC转换器	67
AND8123 在临界导电模式下运行的功率因数校正段	73
AND8124 90瓦通用输入单段PFC转换器	91
AND8147 一种获得适用于分布式系统的单段PFC和步降转换的创新方法	100

前言

功率因数校正解决方案的选择范围包括无源电路到各种有源电路。因应用的功率水平和其他参数的不同，解决方案也会有所不同。近年来分立半导体元件的发展和更低价格的控制IC的上市，进一步拓宽了有源PFC解决方案的适用范围。在评估PFC解决方案时，重要的是要把整个系统的实施成本和性能结合起来进行综合评估。

本手册对120 W (12 V, 10 A)应用中的一些不同的PFC方法进行了评估。通过提供分步骤的设计指南和系统级比较，希望能帮助功率电子设备设计师为它们的应用选择正确的方法。

第一章提供PFC电路的综合概述和常用PFC电路的工作细节及设计考虑。

第二章说明对给定应用（12 V, 10A输出）的不同有源PFC电路进行比较的方法。也介绍了建议的方法。

第三章包括两种不同的临界导电模式拓扑（恒定输出和跟随升压版本）的设计指南、讨论和显著的效果。

第四章包括两种不同的临界导电模式拓扑（传统的CCM升压和CCM隔离反激）的设计指南、讨论和显著的效果。

第五章提供从相同应用的四种不同实现方法中得到的结果的详细分析。提供了按给定准则对各拓扑结构进行比较分析和排名。还包括根据以上章节描述的结果给设计师提供的指南。

第六章为以上章节中提出的拓扑提供了为满足 FCC 关于线路传导性 EMI 限制要求的建议。

第一章

功率因数校正方法概述

摘要

功率因数校正电路对离线电源的输入电流波形进行整形,以使从电源吸取的有功功率最大化。在理想情况下,电器应该表现为一个纯电阻的负载,此时电器吸收的反射功率为零。在这种情况下,本质上不存在输入电流谐波。电流是输入电压(通常是一个正弦波)的完美复制品,而且与其同相。在这种情况下,对于进行所需工作所要求的有功功率而言,从电网电源吸收的电流最小,而且还减小了与配电发电以及相关过程中的基本设备有关的损耗和成本。由于没有谐波,也减小了与使用相同电源供电的其他器件之间的干扰。

当今众多电源采用PFC的另一个原因,是为了符合规范要求。现在,欧洲的电气设备必须符合欧洲规范EN61000-3-2。这一要求适用于大多数输入功率为75 W或以上的电器,而且它规定了包括高达39次谐波在内的工频谐波的最大幅度。虽然美国还没有提出此类要求,但是希望在全球销售产品的电源制造商正在设计符合这一要求的产品。

定义

功率因数校正可简单地定义为有功功率与视在功率之比,即:

$$PF = \frac{\text{有功功率}}{\text{视在功率}}$$

其中有功功率是一个周期内电流和电压瞬时值乘积的平均值,而视在功率是电流的rms值与电压的rms值的乘积。如果电流和电压是正弦波而且同相,则功率因数是1.0。如果两者是正弦波但是不同相,则功率因数是相位角的余弦。在电工基础课程中,功率因数往往就是如此定义,但是它仅适用于特定情况,即电流和电压都是纯正弦波。这种情况发生在负载由电阻、电容和电感元件组成,而且均为线性(不随电流和电压变化)的条件下。因为输入电路的原因,开关模式电源对于电网电源表现为非线性阻抗。输入电路通常由半波或全波整流器及其后面的储

能电容器组成,该电容器能够将电压维持在接近于输入正弦波峰值电压值处,直至下一个峰值到来时对电容再进行充电。在这种情况下,只在输入波形的各峰值处从输入端吸收电流,而且电流脉冲必须包含足够的能量,以便在下一个峰值到来之前能维持负载电压。这一过程通过在短时间内将大量电荷注入电容,然后由电容器缓慢地向负载放电来实现,之后再重复这一周期。电流脉冲为周期的10%到20%是十分常见的,这意味着脉冲电流应为平均电流的5到10倍。图1描述了这种情况。

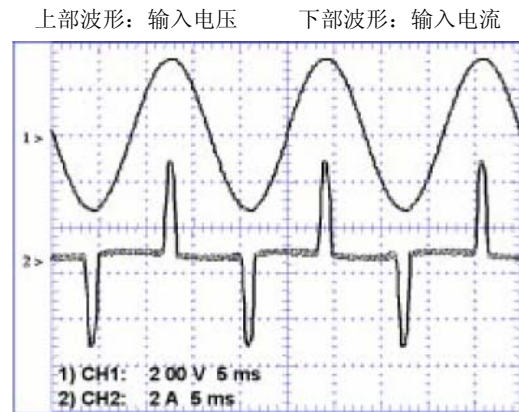


图1. 不带PFC的典型开关模式电源的输入特性

请注意,尽管电流波形有严重失真,电流和电压仍可以完全同相。应用“相位角余弦”的定义会得出电源的功率因数为1.0的错误结论。

图2显示了电流波形的谐波内容。基波(在本例中为60 Hz)以100%的参考幅度显示,而高次谐波的幅度则显示为基波幅度的百分比。注意到几乎没有偶次谐波,这是波形对称的结果。如果波形包含无限窄和无限高的脉冲(数学上称为 δ 函数),则频谱会变平坦,这意味着所有谐波的幅度均相同。顺便说一下,这个电源的功率因数大约为0.6。

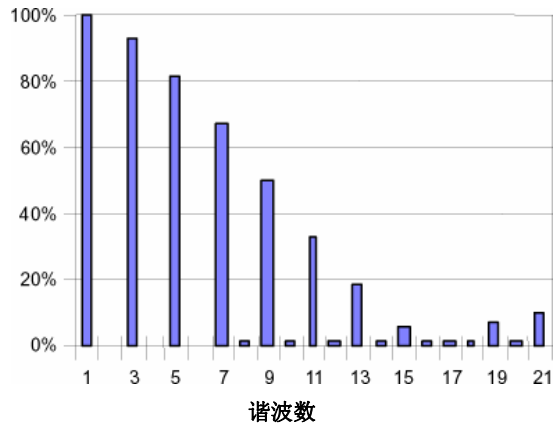


图 2. 图 1 中电流波形的谐波成分

作为参考，图 3 显示了功率因数校正完好的电源输入。它的电流波形和电压波形的形状和相位都极为相似。注意到

它的各输入电流谐波几乎都为零。

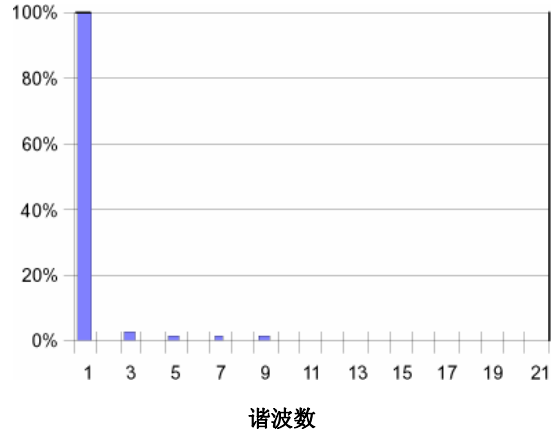
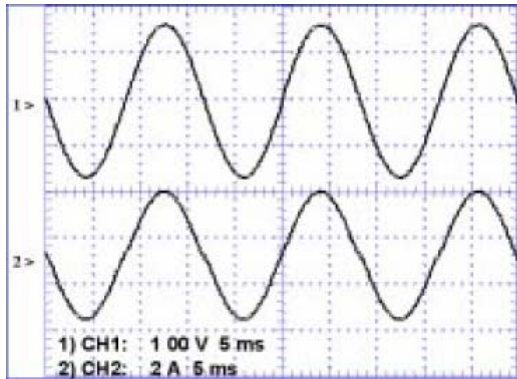


图 3. 带接近完美的 PFC 的电源的输入特性

功率因数校正和谐波削减的关系

从前面的描述可以清楚的看到，高功率因数和低谐波是一致的。但是，它们之间没有直接的关系，总谐波失真和功率因数的关系体现在下列等式。

$$THD(\%) = 100 * \sqrt{\frac{1}{K_d^2} - 1}$$

其中 K_d 是失真系数，等于：

$$K_d = \frac{1}{\sqrt{1 + \left(\frac{THD(\%)}{100}\right)^2}}$$

因此，当输入电流的基波分量和输入电压同相时， $K_\theta = 1$ ，且：

$$PF = K_d * K_\theta = K_d$$

如前所述，即使是完美的正弦电流，只要它的相位和电压不一致，也会得出欠佳的功率因数。

则

$$PF = \frac{1}{\sqrt{1 + \left(\frac{THD(\%)}{100}\right)^2}}$$

由此得出，10%的THD对应大约等于0.995的功率因数。

显然，无论是从电流的最小化还是减小对其他设备的干扰角度来看，对每个谐波设定限制可以更好地完成控制输入电流“污染”的任务。虽然这个对输入电流进行整形的过程通常被称作功率因数校正，但在国际规范中，通常以谐波含量来衡量整形是否成功。

功率因数校正的类型

图 3 所示的输入特性由“有源”功率因数校正获得，把开关模式升压转换器置于输入整流器和储能电容之间，转换器由比较复杂的 IC 进行控制，它的附加电路能对输入电流进行整形，以匹配输入电压的波形。

这是在当今电源中最常用的 PFC 类型。但并不是唯一的类型。没有规则要求 PFC 必须由有源电路（晶体管、IC 等）构成。任何能够使得谐波低于规范限制的方法都是允许的。结果表明，在与有源电路相同的位置上放置电感也可以达到限制谐波的目的。一个足够大的电感会减小电流的峰值，并且在时间上将电流波形展宽来减少谐波以使之符合规范。这

种方法已经在一些台式个人计算机电源中得到应用，其电感的尺寸（大约为 50mm³）及其重量（铁心和铜绕组）是可以接受的。在功率水平超过典型个人电脑功率(250W)的情况下，由于受到尺寸和重量的限制，很少使用这种无源方法。图 4 显示了三个不同的 250W 计算机电源的输入特性，所有的电流波形具有相同的比例系数。

- 波形：1. 无PFC的输入电流
2. 带无源PFC的输入电流
3. 带有源PFC的输入电流
4. 输入电压

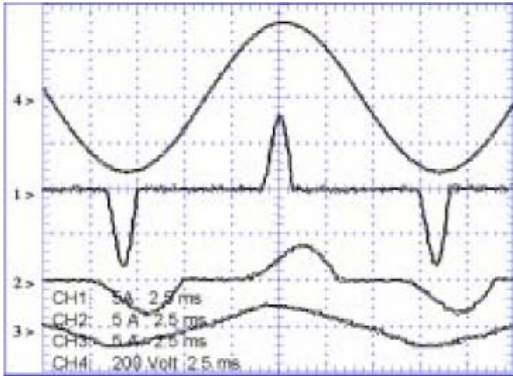


图 4. 带不同 PFC 类型（无、无源和有源）的计算机电源的输入特性

输入线路谐波和EN1000-3-2比较

图 5 显示了三个 250W 计算机电源的输入谐波，以及 EN61000-3-2 所规定的限制水平。这些限制适用于 D 类设备，包括个人电脑、电视机和显示器。谐波幅度和这些设备的输

入功率成正比。对于其他功率低于上述设备的产品而言，限制水平则固定在与 600W 输入相对应的值上。无源 PFC 的性能如本图所示，仅三次谐波（谐波数 3）达到限制水平。

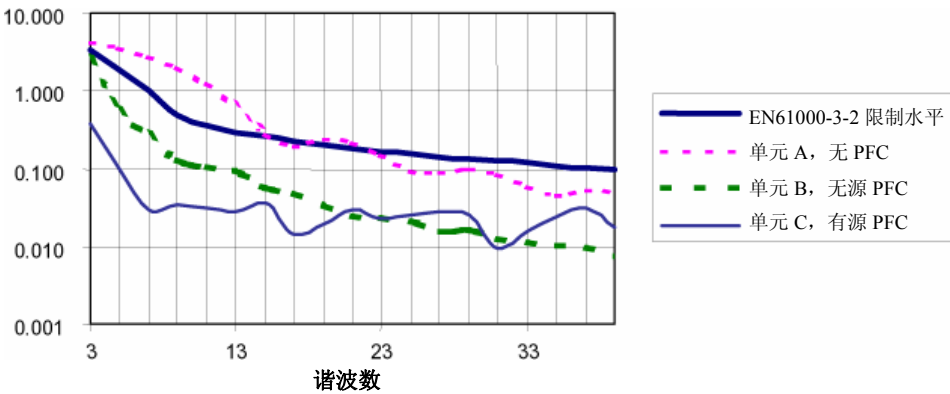


图 5. 三个计算机电源的输入谐波相对于 EN1000-3-2 的限制水平

无源 PFC

图6显示了带无源PFC的计算机电源的输入电路。注意连接到PFC电感中心抽头的线路电压范围开关。在230V位置上（开关断开）电感线圈的两半都使用，整流器为全桥。在

115V 位置只使用左半电感和整流桥的左半部分，电路为半波倍压模式。如为 230Vac 输入的全波整流器，则在整流器的输出端将产生 325Vdc。这个 325Vdc 总线当然是没有稳压的，随着输入线路电压而上下变动。

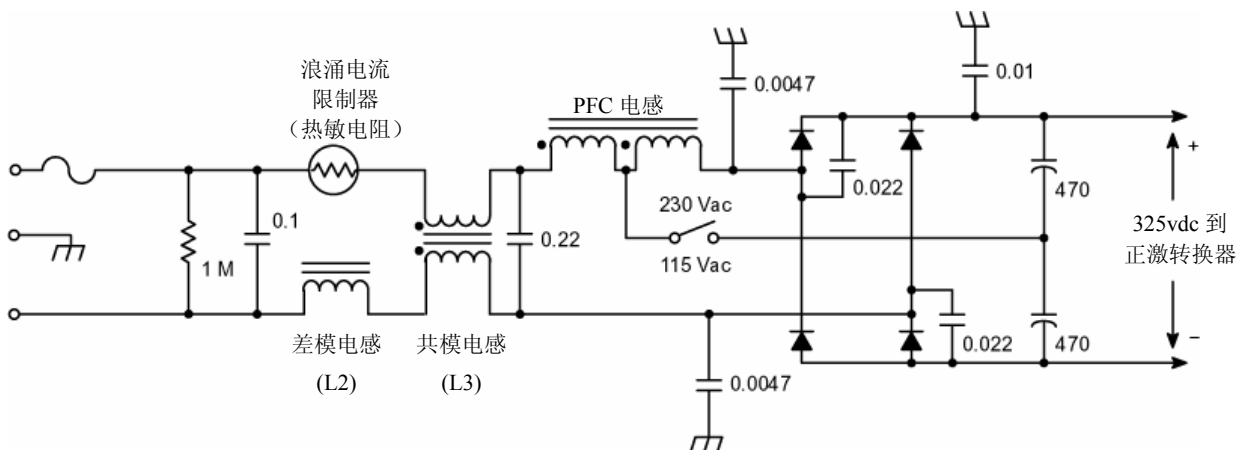


图 6.250W 计算机电源中的无源 PFC

尽管它的特点是简单，无源PFC电路仍有一些缺点。首先，巨大的电感限制了它在许多应用中的实用性。其次，如上所述，为了能在全球范围内使用，需要一个线路电压范围开关。增加该开关会增大因操作者错误（比如开关位置选择错误）而给电器/系统带来的风险。最后，未稳压的电压轨会提高PFC段后直流-直流转换器的成本，并降低其效率。

临界导电模式(CRM)控制器

临界导电模式或者过渡模式控制器在照明和其他较低功率应用中很常见。这些控制器使用简单，而且价格低廉。

图 7 所示为一个典型的应用电路。

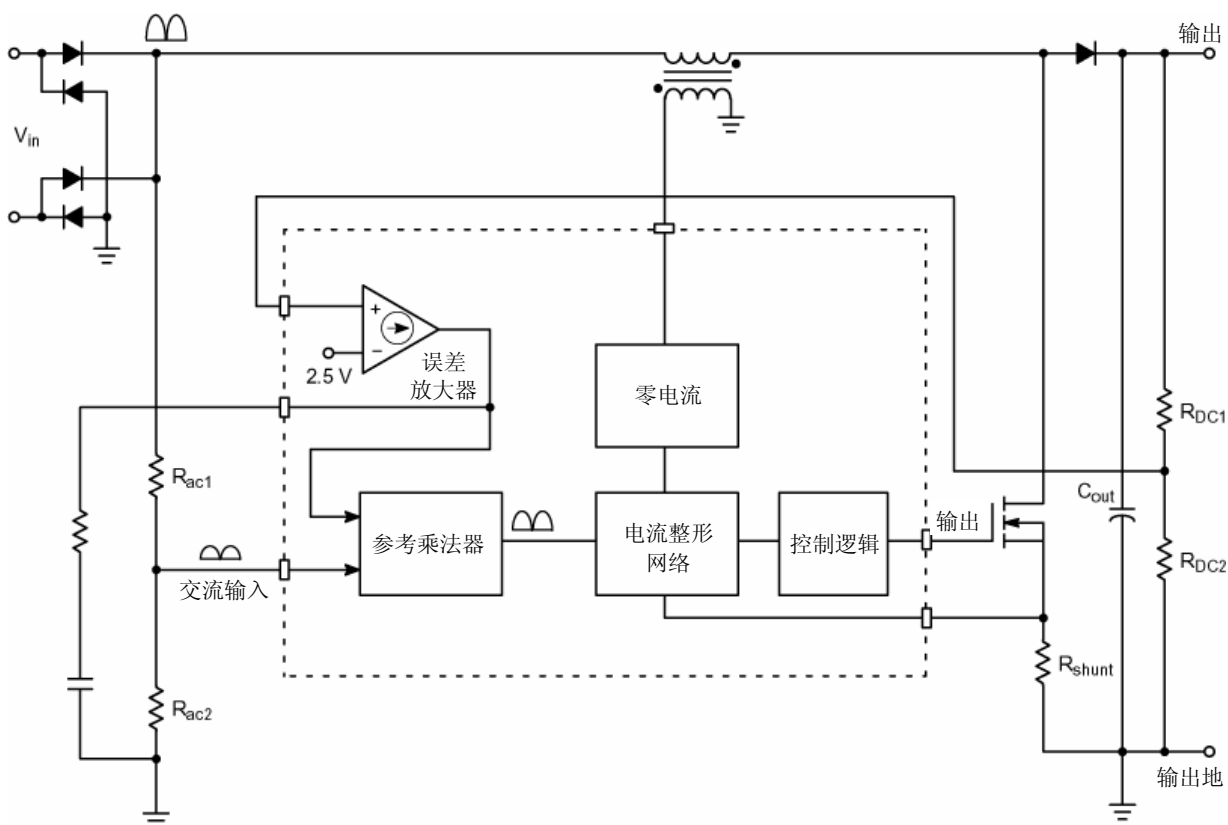


图 7. 临界导电模式转换器的基本原理图

基本的CRM PFC转换器使用一种类似于如上所示的控制方案。具有低频极点的误差放大器向参考乘法器提供一个误差信号。乘法器的另一个输入是经整流的交流输入线路电压的比例版本。乘法器输出是误差放大器的近似直流信号和交流输入端的全波整流正弦波形的乘积。

乘法器输出的信号也是经增益系数变换后的全波整流正弦波（误差信号），而且被用作输入电压的参考。此信号的幅度经调整后可保持正确的平均功率，以使输出电压能保持其稳压值。

电流整形网络强制电流跟随乘法器的波形，尽管线路频率电流信号（检测后）是参考幅度的一半。电流整形网络的功能如下：

在图8的波形中， V_{ref} 是乘法器的输出信号。此信号被送到比较器的一个输入端，另一个输入端则连接到电流波形。

当功率开关接通时，电感电流斜升，直到分路上的信号达到 V_{ref} 的电平。在此点上，比较器会改变状态并断开功率开关。断开开关后，电流斜降直到降为零。零电流检测电路测量电感两端的电压，当电流达到零时，它也会降到零。在此点上，开关接通，电流再次斜升。

这种控制方案叫做临界导电，而且就像名称所表示的一样，它可将电感电流保持在连续和不连续导电的边界。这点很重要，因为波形总是已知的，因此，平均和峰值电流之间的关系也是已知的。对于三角波形，平均值就是峰值的一半。这意味着平均电流信号（电感电流 $\times R_{sense}$ ）位于参考电压一半的水平。

这类稳压器的频率随着线路和负载的变化而变化，在高线电压和轻负载时达到最大值，而且在线路周期中频率也会有所变化。

优点：廉价的芯片。便于设计。没有开关导通损耗。升压二极管的选择并非决定性的。

缺点：频率变化。由于存在潜在的EMI问题，需要一个设计精巧的输入滤波器。

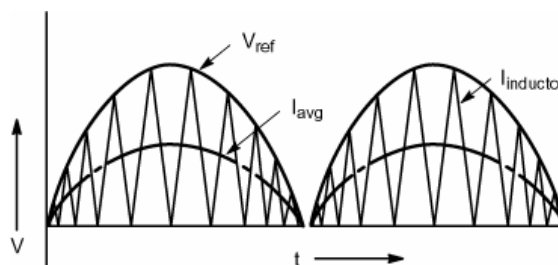


图 8. CRM 波形

不带乘法器的临界导电

安森美半导体的芯片MC33260中使用了一种临界导电模式控制器的新颖方法。此芯片提供同上述控制器相同的输入-输出功能，却无须使用乘法器。

如前面部分所述，CRM 控制器的电流波形从零斜升至参考信号，然后再斜降回零。参考信号是整流输入电压的比例变换，这可以表示为 $k \times V_{in}$ ，其中 k 是经典电路中的交流电压分压器和乘法器的比例常数。有了这个条件，并且在电感斜率和输入电压的关系已知的情况下，便可得出下列公式：

$$I_{pk} = k \cdot V_{in}(t), \text{ 且 } I_{pk} = \Delta I = \frac{V_{in}(t)}{L} \cdot t_{on}$$

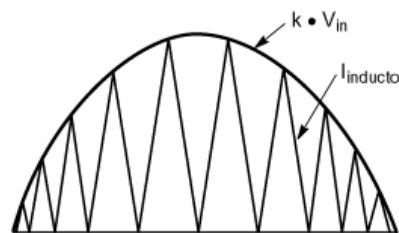


图 9. CRM 电流包络

令两式中的电流峰值相等，便得出：

$$k \cdot V_{in}(t) = \frac{V_{in}(t)}{L} t_{on} \quad \text{因而, } t_{on} = k \cdot L$$

此等式表明对于一个给定的参考信号($k \times V_{in}$)， t_{on} 为一个常量。 T_{off} 会在周期中变化，这是临界导电中的频率变化所引起的。在线路电压和负载条件给定的情况下，导通时间为常数，这一点是这种控制电路的基础。

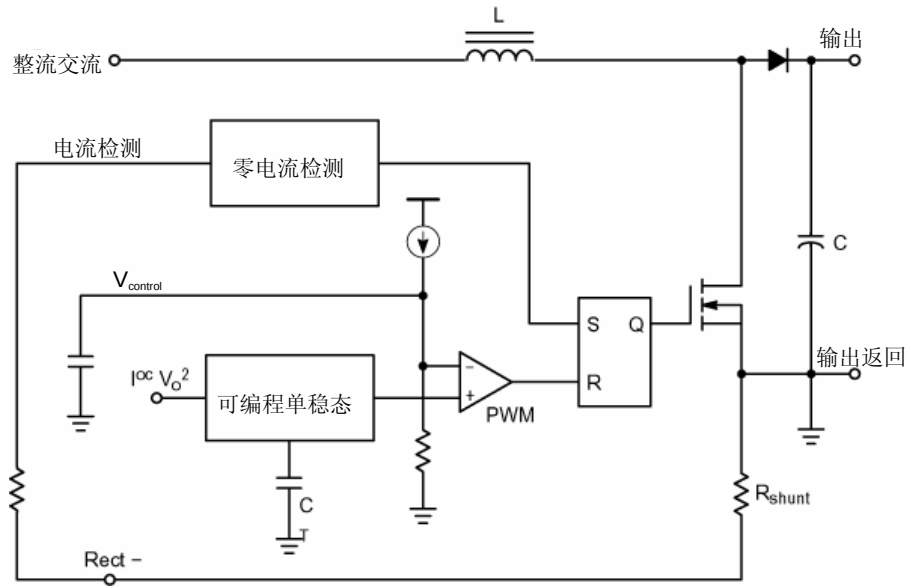


图 10. 不带乘法器的 CRM 控制器简化原理图

在图10所示电路中，可编程单稳态定时器决定了功率开关的导通时间。当导通周期结束时，PWM切换状态并且断开电源开关。零电流检测器将检测电感电流，而且当电流达到零时，开关会再次接通。这会产生稍稍不同的电流波形，但是和经典方案的直流输出相同，且无须使用乘法器。

因为导通时间的给定值仅在给定负载和线路电压的条件下有效，且直流环路的低频误差放大器连接到单稳态电路。误差信号改变了充电电流，并因而改变了控制电路的导通时间，使得可以在一个较宽的负载和线路电压条件范围内保持稳压。

跟随升压

MC33260包含一些其他特性，包括一个使输出电压跟随输入电压的电路。这叫做跟随升压操作。在跟随升压模式中，输出电压被稳定在一个超过输入电压峰值的固定电平上。在大多数情况下，PFC转换器的输出端将连接到一个直流-直流转换器。直流-直流转换器一般能够在较宽的输入电压范围内进行稳压，所以不要求输入电压恒定。

跟随升压操作具有所需电感较小和价格便宜的优点，而且功率MOSFET的导通损耗较小[2]。这通常用于把将系统成本降至最低作为主要目标的系统中。

优点：廉价的芯片。便于设计。没有导通切换损耗。可以工作在跟随升压模式下。电感更小、更廉价。

缺点：频率变化。由于存在潜在的EMI问题，需要一个设计精巧的输入滤波器。

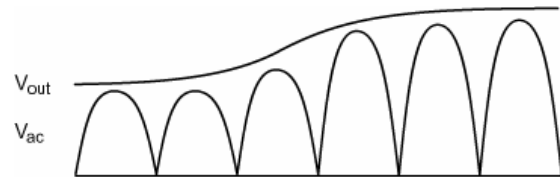


图 11. 跟随升压

连续导电模式(CCM)控制

连续导电模式控制在各种应用中被广泛使用，因为它具有几个优点。峰值电流应力低，从而使得开关和其他元件损耗较小。而且，输入纹波电流低且频率恒定，这使得滤波任务变得简单易行。CCM工作的下列属性需作进一步考虑。

Vrms²控制

和市场上大多数 PFC 控制器的情况一样，一个基本的因素是，参考信号为整流输入电压的比例变换复制品，并被用作电流整形电路的参考。这些芯片都使用乘法器来实现这个功能。但是，该乘法器系统比传统的两输入乘法器更复杂。

图 12 显示了连续模式 PFC 的典型方法。升压转换器由一个根据电流命令信号 V_i 对电感电流（转换器的输入电流）进行整形的平均电流模式脉冲宽度调制器(PWM)驱动。此信号 V_i 是输入电压 V_{in} 进行了 $V_{DIV} \cdot V_{DIV}$ 幅度变换后的复制品，由电压误差信号除以输入电压的平方得到（经过 Cf 滤波，使得它成为和输入幅度成正比的变换系数）。

(电感中的电流斜率和输入电压成正比)。这个方案的缺点在于乘法器乘积的可变性。这就需要增大功率处理元件的设计余量,以解决最坏情况下的功率耗散。



务是使平均输入电流与参考匹配。为此, 一个叫做平均电流模式控制的控制系统将被应用在这些控制器中[3], [4]。这种方案如图 13 所示。



平均电流模式控制采用一个根据控制信号 I_{cp} 来稳定平均电流（输入或输出）的控制电路。对于一个PFC控制器， I_{cp} 由低频直流环路误差放大器产生。电流放大器是电流信号的分器和误差放大器。它控制波形调整，而 I_{cp} 信号控制直流输出电压。电流 I_{cp} 在 R_{cp} 上产生了一个电压。为保持电流放大器的线性状态，其输入必须相等。因此，在 R_{shunt} 上的电压降必须等于 R_{cp} 上的电压，因为在电流放大器同相端的输入电阻上没有直流电流。电流放大器的输出是一个基于分路上平均电流的“低频”误差信号和 I_{cp} 信号。

和电压模式控制电路的情形一样，此信号被拿来同振荡器的锯齿波信号进行比较，PWM比较器将根据这两个输入信号生成一个占空比。

优点：对高于200W的功率水平而言效果好。对于输入的变化，一个“除以 V^2 ”的电路稳定了环路带宽。固定频率工作。比其他方法产生的高频电流具有更低的峰值。

缺点：比临界导电电路更昂贵而且复杂

安森美半导体的NCP1650系列

安森美半导体最近推出了一个全新的高度整合 PFC 控制器系列，其中有一种新颖的控制方案[5]。此芯片的控制电路运用了临界导电模式单元中的某些元素，以及以前功率因数校正芯片中没有使用过的平均电路。基本的稳压电路包括一个可变的交流参考，低频稳压误差放大器和电流整形网络。

此芯片包括几个同 PFC 控制器有关的问题的解决方案，包括瞬态响应和乘法器精度。它也包括其他减少功率转换器总零件数量的特性[6]。

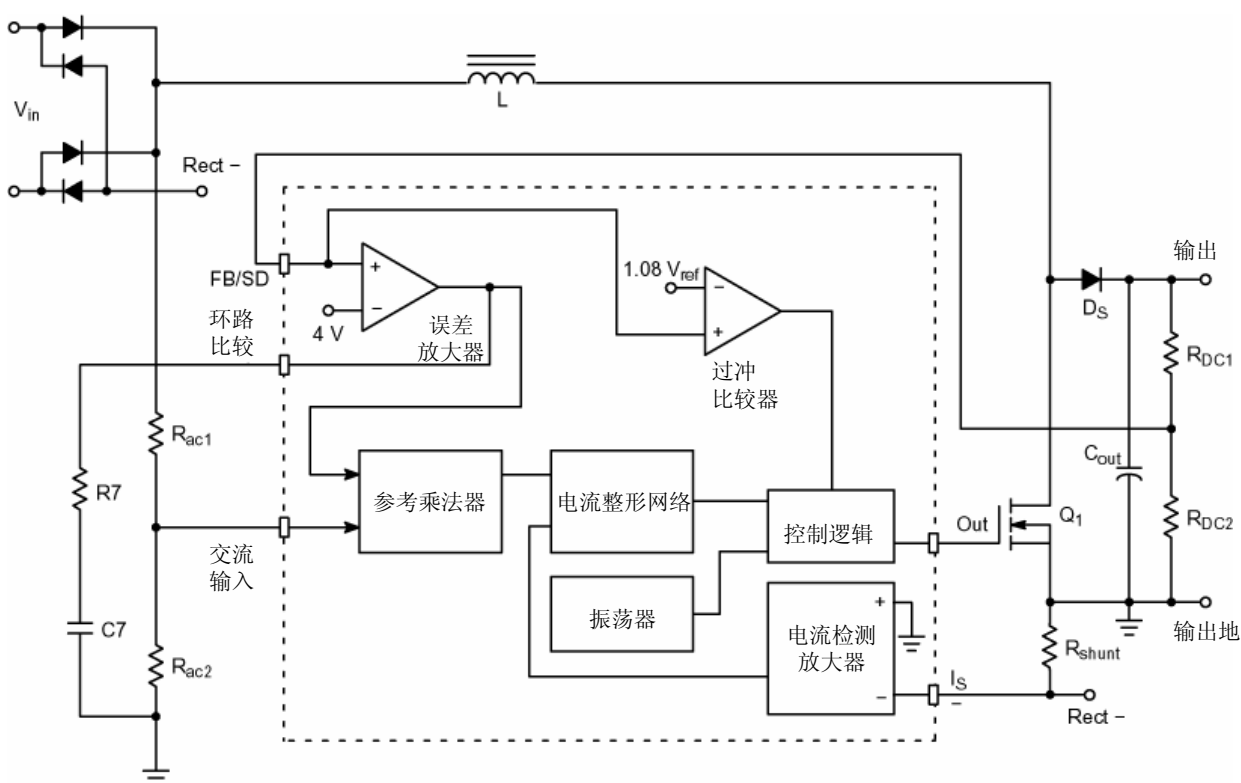


图 14. NCP1650 PFC 控制器的简化框图

PFC环路

误差放大器具有极低频的极点，因而可提供10 Hz的典型总环路带宽。此信号驱动参考乘法器的一个输入。乘法器的另一个输入连接到分压的整流交流线电压。此乘法器的输出是整流输入电压比例变换后的全波整流正弦波。

此交流参考把输入信号提供给电流整形网络，使输入电流具有正确波形和幅度，以获得良好的功率因数和合适的输出电压。电流整形网络使用平均电流模式控制方案。但是，这个电路和目前已有的电路很不相同。如图 15 所示。

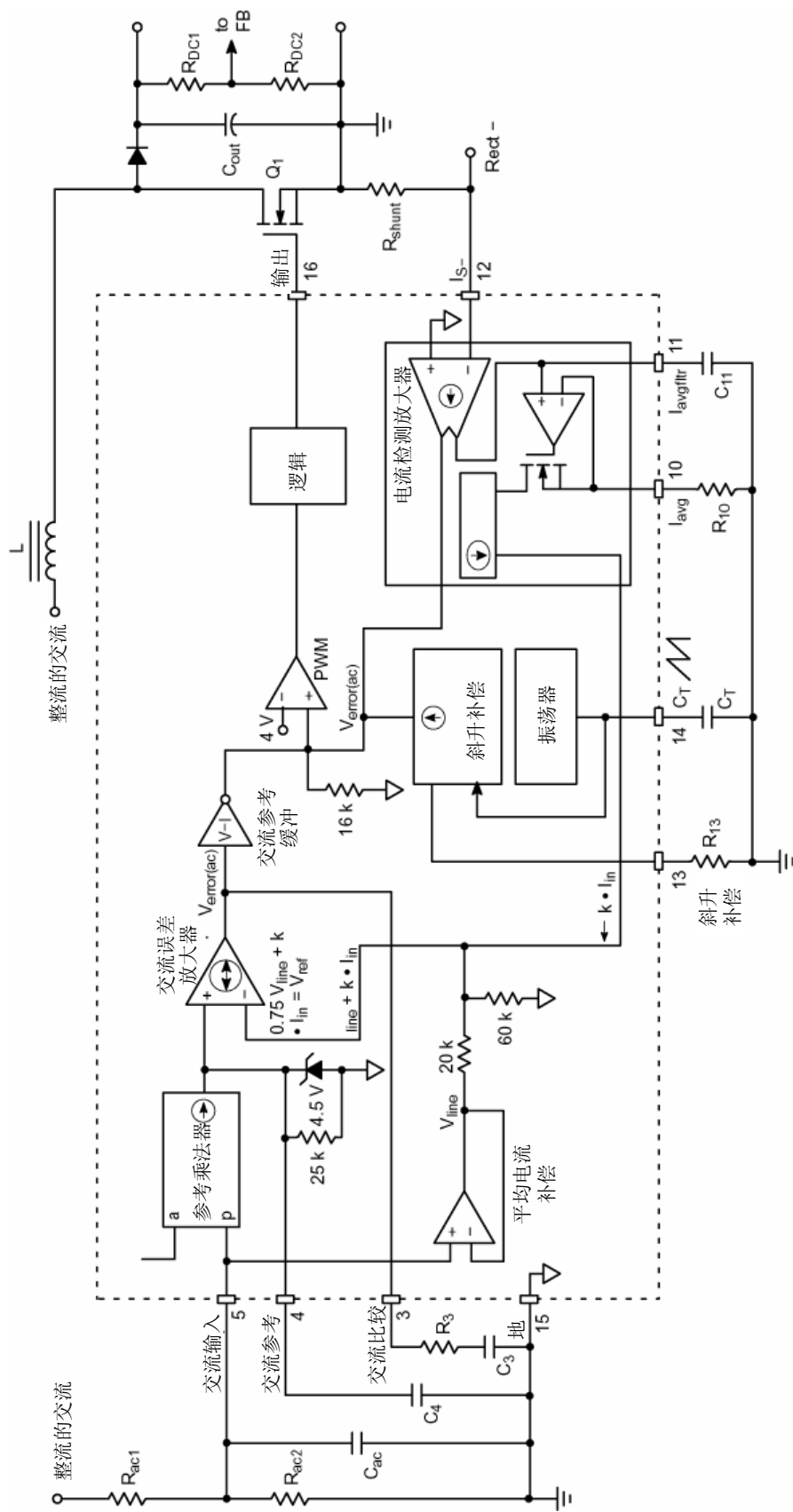


图 15. NCP1650 PFC 控制器的电流整形电路

电流整形电路

电流整形网络的主要功能是迫使电感电流的平均值跟随参考乘法器产生的参考信号。

开关电流通过MOSFET开关源极串连的分路电阻转换为一个电压。该分路电阻从源极（地）连接到输入整流器的返回引脚。这种检测电流的方法会产生一个负电压，这对于IC而言并不理想，因为如果电压为负的数百毫伏，衬底注入便会发生问题。另一方面，这种检测配置可以检测开关电流和二极

管电流，这和检测电感电流相同。电流检测放大器是一个有两个高频输出的跨导放大器。它使电流信号反相，并且把一个输出送至PWM输入的求和节点。另一个输出则被送至引脚11上的平均网络。此网络有一个由外部电容和内部电阻形成的可调极点。平均电流由一个缓冲段进行比例变换，并且与一个经过比例变换后的交流输入电压相加，然后送至交流误差放大器的输入端。

交流误差放大器是保持良好输入功率因数的关键。因为这个放大器的输入必须都相等，其中一个输入连接到参考信号，因而，此放大器的输出应产生一个信号以迫使反相输入匹配。这意味着平均开关电流应是参考信号的良好再现，因为这是施加到反相输入的信号。

交流误差放大器的输出用极点-零点网络来补偿。此信号被送至反相参考缓冲。电路设计成这样，以使交流误差放大器的输出在零输出时处于低状态。这可以使外部软启动电路方便地连接到芯片。

PWM的输入总共有四个信号，它们构成用来确定开关何时切断的信息。比较器的反相输入是一个4.0V参考。同相输入为交流参考缓冲的交流误差信号输出、斜升补偿信号和瞬时电流三者相加。当后三个信号的和等于4.0V时，PWM比较器切换，功率开关断开。

图16描述了电流放大器输出的电流信号和斜升补偿信号相加的波形。这两个信号都为电流的形式，通过把它们注入到PWM输入端上的同一个16k Ω 电阻以进行叠加。第三个信号是交流误差放大器缓冲的信号。这些信号合成的结果将显示在图17底部的波形中。

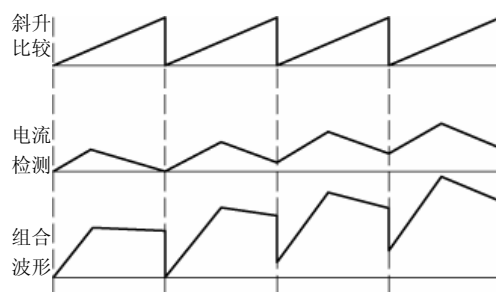


图 16. 相加波形

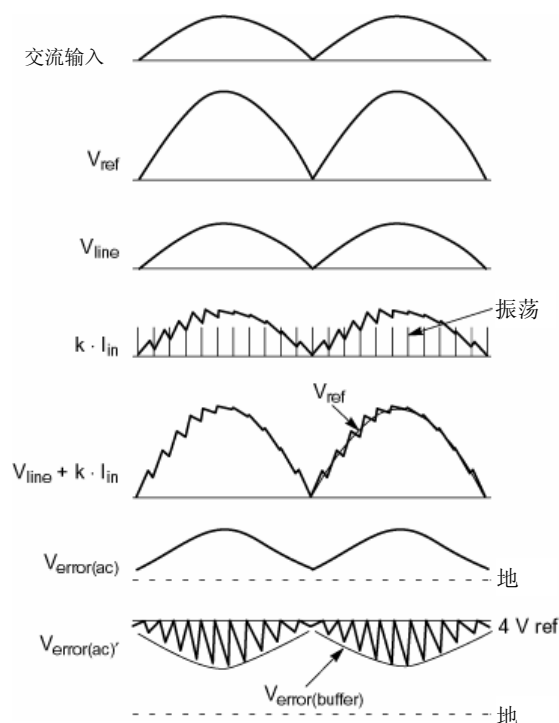


图 17. 整形电路波形

其他特性

瞬态响应

和所有PFC单元一样，电压误差放大器必须用极低频的极点来补偿。这可确保获得良好的功率因数，但是不能进行快速瞬态响应。为了快速响应线路或负载的瞬变，在芯片的误差放大器中放入了一个临界灵敏度增益提升电路。在正常工作中，输入端达到平衡。但是，在瞬态事件中，输入端出现电压差。如果这个电压差超过了预先确定的电

平，输出便会转移到高增益模式，并且快速调整稳压环路，直至接近平衡。在该点上，放大器会返回其正常增益，并且最终把输入电压带回其额定值。

图18显示了电压环路误差放大器的工作情形。在负载突降中，当环路试图响应新的控制状态时，PFC单元的输出电压将升高。当反激电压从它的4.0V额定电压开始升高时，跨导放大器的输出电流也会增大，直至达到它的最大电平20 μ A。

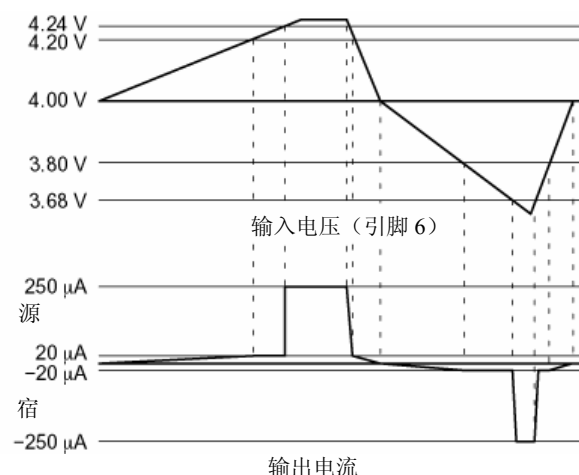
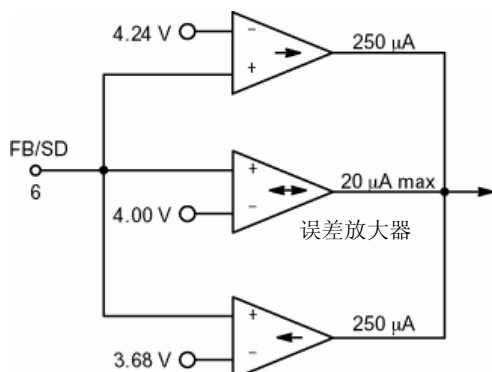


图 18. 电压环路误差放大器的原理图

乘法器

本控制芯片包括两个乘法器。一个用作参考乘法器，以向交流误差放大器提供全波整流正弦波信号，另一个用作功率限制电路。模拟乘法器的缺点之一在于，难以精确设计。它们的k-系数一般有 $\pm 10\%$ ~ $\pm 20\%$ 的公差。

电路中的公差累积会给总体环路设计带来困难。希望让信号使用尽可能多的电压或者电流变化以减小噪声问题，同时不让器件进入饱和。而各模块的公差变化会使这一点成为一个难题。

NCP1650中的乘法器使用了一种创新的设计，比线性、模拟乘法器在本质上更加精确。和线性模拟乘法器不同，输入不是匹配电路。输入a（模拟）被送至一个电压-电流转换器。

这一电流对应4.20V的输入电压。达到这一点后，便无法进一步增大。

当输入电压达到4.24V时，便会触发上部升压电路。此电路将额外的250 μ A（比正常输出电流大12倍）送入放大器的补偿电路中。当输入电压降低到小于4.24V时，上部升压电路便停止工作，而放大器则继续工作在它的正常增益水平上。

在集成电路中可以很精确地做到这一点。另一个输入p (PWM)则使用标准的PWM比较器同斜升电压进行比较。这个电路中的主要误差来自斜升电压峰-峰值的偏差和它的非线性。此芯片中的斜升电压被调整到1%的精确度，并且由一个高频恒流源提供，以获得良好的线性。多个鉴定批试验表明最大生产不超过 $\pm 4.0\%$ 。

输入a的电压被转换为正比的电流，该电流或者被送至负载滤波器或者被PWM比较器分路。因为PWM斜升电压线性很好，p输入中的变化会导致占空比的正比变化。（比如，如果PWM比较器的输出在周期的30%为低，那么70%的输入a电流将提供给负载）。输出电压就是平均电流乘以负载电阻。电容减小了输出波形的纹波。

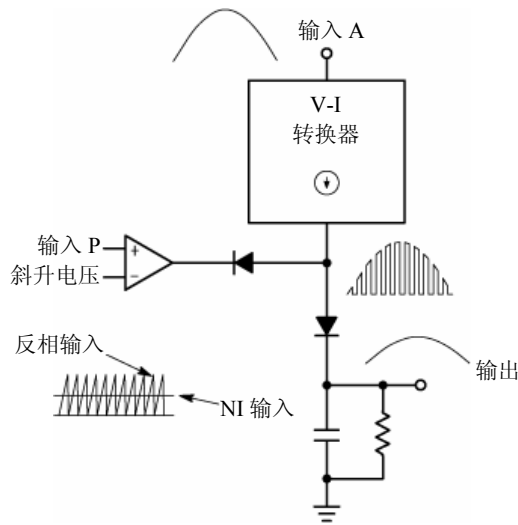


图19. 开关乘法器

功率限制电路

功率限制电路测量PFC转换器的有功功率输入，如果达到了限制电平，则稳定该输出功率。它用与恒压、恒流稳压器相似的方法与电压环路进行“或”运算。只要功率要求低于限制水平，电压环路就起主导作用。可以这样理解，在恒定功率模式中，常通过降低输出电压来保持恒定的功率水平。因为这是一个升压转换器，所以输出电压只能降低到输入波形峰值的水平。此时，功率开关会关断，但是整流器依然给输出滤波电容充电，所以恒定的功率不能低于这一点。

这个电路的精确度对于高性价比设计而言非常重要。因为电源被规定了最大功率额定值，所以电路应该按最坏情况下的公差进行设计。功率限制电路的 $\pm 20\%$ 公差要求名义输出功率设计高于规格的20%，以使得控制器低20%的单元依然能提供规定的输出。这意味着功率段也要设计成提供比它的名义水平高20%的功率，因为一些单元在该点以前无法受到限制。底线是功率段必须设计成能提供两倍于限制电路公差的最大功率。这一点导致功率元件的大余量设计，从而增加了成本。

其他芯片为它们的功率限制电路提供25%到50%的累积公差。本芯片的公差累计是15%。对于1.0kW单元而言，这就为功率段设计节约了200到700W。

过冲保护

负载突降对于PFC单元而言是非常危险的。由于响应时间长和输出电压高，负载突然去除时，400V输出可能会突升至800V。这类事件会给PFC单元和连接到它的输出的次级转换器或其他负载带来灾难性的破坏。为了防止受到这些瞬变的影响，反激/关断输入由比较器进行监控，如果反激电压超过额定反激电平a的8%就关断PWM。当输出电压降低到小于8%窗口时，PWM重新工作。

关断

有时候需要在不去除输入功率的情况下关断PFC转换器。对于这些情况，用集电极开路器件（或者等效的）将反馈引脚下拉到地。反激电压低于0.75V时，单元处于低功率关机状态。当它进入小于53V的线路电压中时，这一特性也会将芯片保持在关机状态，而此时的反馈电压即为整流滤波的输入电压。

优点：有多种处理方法。可以使用电子表格上的标准值，或者进行调节以获得最佳性能。可变增益电压环路可从大瞬变中快速恢复。受到严格控制的乘法器可以降低最坏情况下的功率限制设计成本。

缺点：环路增益取决于输入线路电压，因而不能在整个线路电压范围进行最优环路补偿。

除了工作在传统升压PFC拓扑下的NCP1650以外，NCP165x系列还包括了NCP1651。NCP1651允许在输出电压不是非常低而且可以处理一些纹波的低、中功率应用中使用单段、隔离的步降功率转换。如图20所示，基于NCP1651的反激转换器提供了一种异常简单的方法来替代常用的两段法。NCP1651包含NCP1650所有的相关重要特性改进，而且还包含一个高压启动电路。

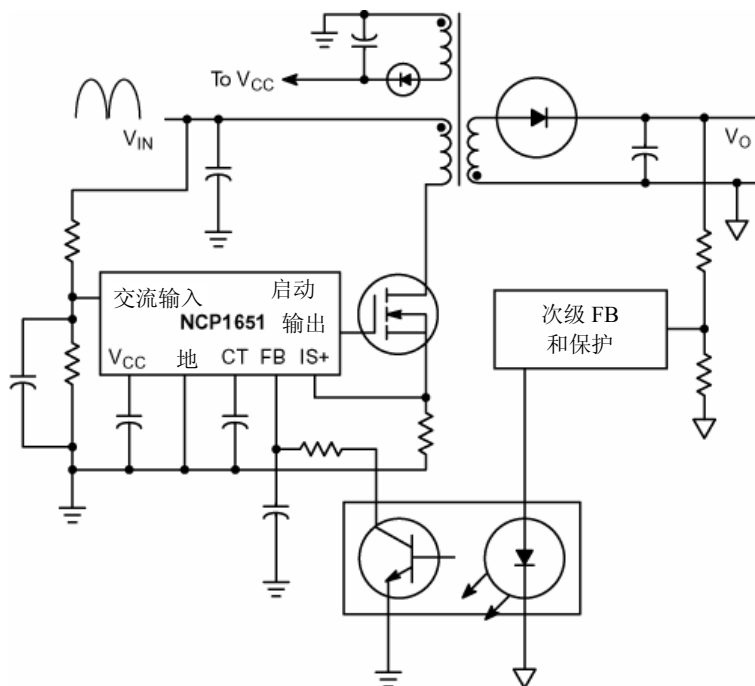


图20. 使用NCP1651的单段PFC

结论

PFC设计师可用的选择数量在过去几年、甚至是几个月中都有明显的增加。这是缘于供应商越来越热衷于使产品符合EN61000-3-2及其衍生条款，以及半导体供应商之间的激烈竞争。最终用户将从中得到更多益处，因为PFC性能更好且性价比更高。设计师也从这些IC控制器的功能提升中获益，在进行设计时拥有了更多选择。

另一方面，设计师的工作也越来越复杂，因为设计方法过多。仅仅对它们进行调查就已足够困难，而要理解其中的每一个方案，并作出正确、高性价比的选择，那更是一个巨大的挑战。本文旨在让设计师更加了解这一趋势，并且提供一些细节以供深入了解。我们已准备好资料，供感兴趣、有需求的设计师索取。

第二章

比较有源PFC方法的方法学

设计第一章所述的PFC电路存在诸多不同的推动因素。对于不同的最终应用要求和主要的推动因素，PFC电路的选择会有所不同。直到最近，仅有一两种拓扑被广泛用于PFC实施。对于较高功率的电路而言，通常选择的拓扑为在连续导电模式(CCM)下工作的升压转换器，并带有平均电流模式控制(ACMC)。对于较低功率的应用，一般使用临界导电模式(CRM)升压拓扑。因为内置PFC的电路应用范围已经拓展，所有对于更多样化的PFC解决方案的需求也正在不断增长。许多新兴的解决方案使用了成熟拓扑的变形，而一些真正创新的技术也已涌现。

通常难以立即回答这个问题：“对于给定的应用或者给定的功率范围，哪种方法最好？”答案部分地取决于设计的重点所在和各种折衷。但是，答案还取决于对给定应用的不同方法进行鉴定的标准。本手册提供了这种鉴定结果并对此进行了详细的分析。

选择正确的应用范围对鉴定研究而言十分重要。通常认为在低于100W的功率等级，CRM方法更合适，而对于高于200W的功率等级，CCM方法则更加可行。100~200W的功率范围代表了两种方法都可使用的灰色区域。因此，在这个功率范围内评估不同方法的性能是最恰当的。现选择150W（输入）的功率等级作为目标应用。而且，因为大多数应用都要求在通用输入电压范围内工作(85~265Vac, 50/60Hz)，故将其选为输入电压范围。

就输出电压而言，由于需要评估整个电源系统而不是只评估PFC的电路，因此，选择12V, 10A输出（假设总效率为80%）。将第二段纳入比较可为各种PFC方法的功能和限制提供更精确的描述。确切地说，所选方法之一允许一个单段隔离PFC转换，并且不需要全功率段。对于这种方法，与PFC升压前端进行比较是没有意义的。所有的系统都设计成具有20ms（1个欧洲线路频率周期）的保持时间（线路电压下降）。

2.1 方法的选择

从第一章所述的方法和和其它可用的方法来看，下列方式被认为是本次研究中最适用的候选方法。每种方法后面的附图都描述了完整的系统实施，包括所需的输入滤波和直流-直流转换。这些用于进行比较的直流-直流转换器设计是基于商用设计软件包(Power 4-5-6)的理论研究。

在四种方法的每一种中，主要的模块均标有Fn、Pn和Dn，其中F、P和D各自表示滤波器、PFC和下游转换器，n表示方法(n = 1~4)。

1. 带固定输出电压的临界导电模式升压转换器。

如图 21 所示，这种方法在 PFC 输出端建立一个固定的(400V)输出电压，而且使用直流-直流转换器来把 400V 降低至 12V 输出。PFC 前端使用的控制器是 MC33260，它和其他基于临界导电模式的控制器的乘法器相比具有一定优势。



图 21. 带固定输出电压的临界导电模式PFC

2. 带可变输出电压的临界导电模式升压转换器。如图 22 所示，这种方法在 PFC 部分使用一个跟随升压拓扑，并且建立了一个可变的输出(200~400V)。一个直流-直流转换器把电压降至

12V 输出。和方法 1 相比这种方法预计能产生更好的 PFC 段效率和成本，而代价是第二段的设计更具挑战性。MC33260 之所以被用作这个设计的 PFC 控制器，也因为其可以在跟随升压模式中方便地进行配置。



图22. 带可变输出电压的临界导电模式PFC

3. 带固定输出电压的连续导电模式升压转换器。如图 23 所示, 这种方法使用 CCM 升压拓扑创建了一个固定的(400 V)输出电压。
- 从 400 V 到 12 V 的步降转换和方法 1 类似。NCP1650 用作这种方法中的 PFC 控制器。



图23. 带固定输出电压的连续导电模式PFC

4. 带隔离和步降的临界导电模式反激转换器。这种创新方法把所有电路合成为一个功率转换段, 如图 24 所示。因为这种方法能把整流后线路的所有
- 能量存储在输出电容中, 输出会有两倍线路频率的明显纹波。这种方法使用的控制器是 NCP1651。

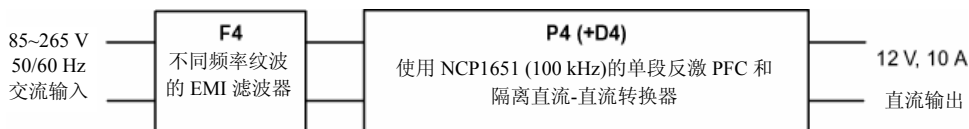


图24. 连续导电模式隔离反激PFC

2.2 测试方法学

所有上述 PFC 方法(P1~P4)均经过了设计、建立和特性化的过程。每个转换器都经过微小的修改, 以便获得局部的优化, 但并未对主要元件作出更改。应当承认每种方法均可以通过更加大胆进取的设计和元件选择来进一步优化。但是, 本研究所强调的是对不同的方法进行比较, 因为所有电路的设计方法都非常相似。每个 PFC 电路都进行了以下参数的测试:

1. 线路电压和负载范围内的工作
($V_{in} = 85\sim 265V_{ac}$, $P_{out} = 75W\sim 150W$)
 2. 线路和负载调整率
 3. 输入电流总谐波失真(THD), 各个谐波的贡献和功率因数
 4. 功率转换效率
- 测试装置如下图 25 所示。

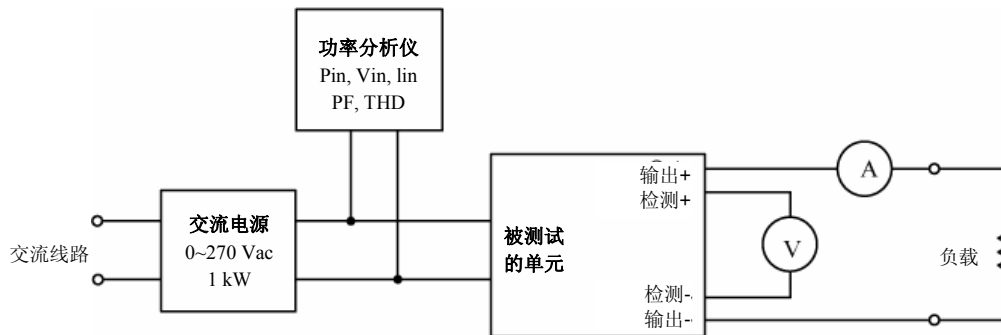


图25. 性能测试的测试装置

测试使用的设备

交流电源: Triathlon精密交流电源

功率分析仪: Voltech PMi精密功率分析仪

负载: 使用两类负载:

- 对于静态负载测量, 使用一组高功率陶瓷电阻。
- 对于动态负载测量, 使用菊水PLZ303W电子负载。

伏特表: Keithley 175自动量程多功能表。

电流检测: 使用一个5.0mΩ分路电阻和一个Keithley 175 A自动量程多功能表进行电流测量

测试方法学

用输入电压范围为85到265Vac的隔离交流电源测试电路。用功率分析仪测得输入参数。它们包括输入功率(Pin)、均方根输入电压(Vin)、均方根输入电流(Iin)、功率因数(PF)和总谐波失真(THD)。

对于两段法, 被测试的单元包括第一段PFC, 而负载是一组高功率电阻。因为电阻网络的输出电压(400 V)高于电子负载电压额定值, 所以用它来测试PFC电路。对于单段方法, 被测试的单元包括PFC反激电路, 而输出端的负载为电子负载, 因为较低的12 V输出可以使用电子负载。

输出电压直接在输出检测引脚上用开尔文检测方案测得。基本上没有电流流过检测引脚, 因此没有可能导致错误读数的压降。相反, 测量电阻负载上的输出电压则会得到错误读数,

因为被测单元和负载之间有电压降, 电压降随着流过的电流而变化。

负载电路使用5.0mΩ分路电阻进行测量。一旦测得分路电阻上的电压降, 便可以根据分路电阻值计算负载电流。

2.3 比较准则

对PFC电路P1~P4的性能进行比较。这些被归纳在第五章中。如上所述, 已在理论上对下游转换器方法D1-D3进行了设计。请注意, 设计D1和D3是相同的, 因为它们的输入和输出规格相同。整个系统方法的比较也在第五章中有所阐述。比较电源系统的主要指标是成本、尺寸和性能。不可能在本手册中提供完全的成本度量, 因为成本结构与诸多因素有关。但是, 在比较中考虑了不同方法的相对成本, 并且提供了相关折衷的细节。尺寸比较是建立在对不同方法所使用的电源系统主要元件的尺寸进行比较的基础之上。

2.4 条件变化下的趋势图/效应

虽然所有比较均在相同的输入和输出条件下进行以获得真正的可比性, 但是在实际生活中, 不同的应用会有不同的要求。在这种情况下, 一种方法或拓扑可能会比其它方法更加适合给定的应用。下述工作状态或者应用条件的变化将在第五章中进行探讨。它们包括元件和元件属性随输出功率而变化的情况。

第三章

临界导电模式(CRM) PFC 和直流-直流段

PFC转换器模式

升压转换器是PFC应用中最常见的拓扑。它可以工作在多种模式中，如连续导电模式(CCM)，不连续导电模式(DCM)和临界导电模式(CRM)。本章对使用MC33260进行CRM工作进行了分析。如第一章所示，在这种模式中，在下一个周期开始之前电感电流将衰减为零，而且频率随着线路电压和负载的变化而变化。CRM的主要优点是电流环路本质上是稳定的，而且不需要斜升电压补偿。本章也包括了使用CRM技术的传统升压预调节器和跟随升压预调节器的设计指南。它也着重说明了每种拓扑的优点并且提供了第二段直流-直流转换器的理论设计。

传统的升压和跟随升压之比较

传统的升压转换器被设计成具有高于最大峰值整流线路电压的恒定输出电压，而跟随升压的输出电压则随着线路电压峰值而改变。传统升压和跟随升压拓扑的主要区别是跟随升压电感的尺寸可极大地减小，而且功率开关导电损耗较低。MC33260允许用户对转换器进行编程，从而可使它工作在任何一种模式下。以下提供给定工作状态下的转换器的设计表达式和设计实例，以及指定转换器设计的运行结果。

若要将基于MC33260的升压转换器配置成传统升压模式，则必须满足以下不等式。对于较低的 C_T 值，转换器将工作在跟随升压模式，其中 V_{out} 正比于 V_{in} 。

$$C_T \geq C_{int} + \frac{4 K_{osc} L_p P_{in_{max}} I_{regL}^2}{V_{in_{min}}^2}$$

其中 C_T 是MC33260的振荡器电容

K_{osc} 是最大摆动范围内的增益=6400

C_{int} , MC33260的内部电容

$C_{T引脚} = 15 \text{ pF}$

$V_{in_{min}}$ 是交流工作线路电压= 85 V

I_{regL} 是稳压低电流参考= 200 μ A

L_p 是初级电感值

C_T 引脚的内部电路使用导通时间控制方法。在这个电路中， C_T 由反馈电流平方充电，并且和 $V_{control}$ 进行比较。

当反馈电流低于 I_{regL} (详情请参考MC33260的数据表)时，调节器组件输出(它确定了导通时间)处于它的最大值。最大的导通时间和输出电压的平方成反比。利用这个性质就可以实现跟随升压工作。

图26可以帮助用户根据其定义的输出稳压电平来选择 C_T 电容。

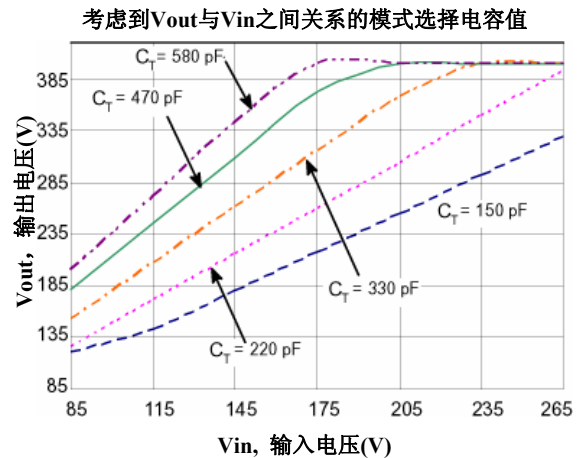


图26. 满载条件下考虑到 V_{out} 与 V_{in} 关系的模式选择电容值

如图 26 所示， C_T 电容的选择可以让用户为给定的应用选择输出电容的范围。如果 C_T 值足够高，转换器会工作在固定的输出电压下，即在传统的升压模式中。相反，较低的 C_T 值会使 V_{out} 等于 $V_{in(pk)}$ 。根据不同的应用，理想的解决方案可能处于两者之间。

同样值得注意的是，在使用 MC33260 时，图 1 所描述的 V_{out} 和 V_{in} 之间的关系在满载工作时也成立。当输出功率电平下降时，对于给定的 C_T ，输出电压实际上是增加了，而在轻负载时，工作方式会倾向于接近传统的升压工作。这种行为如图 27 所示。但是，满载行为对于设计而言是最重要的，因为它产生了最大的电应力和导电损耗。由于跟随升压明显降低了在这种情况下下的导电损耗，因而表现出其提高效率的优点。相似的，系统的保持时间规范值通常是在满载工作和低线电压条件下得到，所以要选择最合适的 V_{out} 和 V_{in} 的关系就必须考虑满载情况。

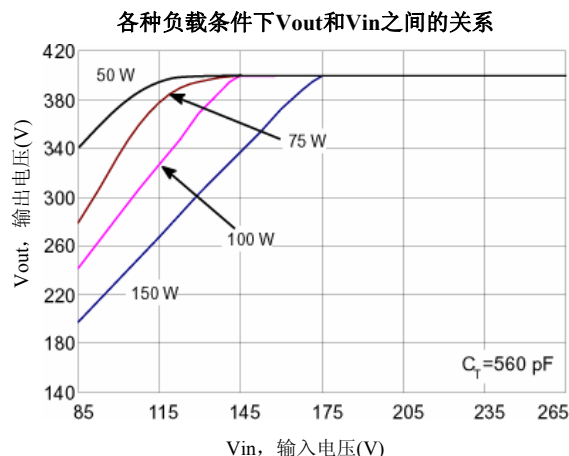


图27. $C_T = 560 \text{ pF}$ ，不同负载条件下 V_{out} 和 V_{in} 之间的关系

MC33260: 150W功率因数预调节器设计实例(CRM)

以下是决定电路元件主要属性的设计基本规范，即，电感尺寸、MOSFET、输出整流器和输出二极管，等等。

额定的输出功率:	$P_{out} = 150 \text{ W}$
通用的输入电压范围:	$V_{in}: 85 \sim 265 \text{ Vac}$
线路频率:	$f_{line} = 47 \sim 63 \text{ Hz}$
开关频率:	$f_{sw} = 25 \sim 476 \text{ kHz}$
额定稳压	$V_{out} = 400 \text{ Vdc} \pm 8\%$
输出电压:	(传统升压) $200 \sim 400 \text{ Vdc} \pm 8\%$ (跟随升压) *
系统效率:	$\eta > 90\%$
保持时间:	$t_{holdup} = 20 \text{ ms}$

*基于直流-直流段的输入电压要求的电压范围，详情参见直流-直流部分。

选择过程

以下是传统升压和跟随升压主要元件的设计方程式。除非另有说明，每个方程式都适用于两种拓扑。设计过程会牵涉到许多其他的因素。但是，以下方程式旨在提供一个设计的框架。

电感 (L_p)

CRM电感的设计提出了一个挑战，因为高峰值电流会导致较高的导电损耗。

设计必须要使得开关周期从零电流开始。达到零点所需要的时间取决于输入线路电压和电感，这两者也决定了工作频率范围。电感是根据最小线路电压和最低开关频率处的最大纹波电流而设计的。发生在交流线路峰值的最小开关频率应高于可听范围。在这种情况下，传统升压选择25 kHz，而跟随升压选择43 kHz。如果您将两种预调节器的最低开关频率设置为相同，那么跟随器中的电感值会于200 μH 。

$$I_{inpk} = \frac{\sqrt{2} \cdot P_{out}}{\eta \cdot V_{in \min}}$$

$$I_{coil_pk} = 2 \cdot I_{inpk}$$

$$L_p = \frac{2 \cdot T_{total} \cdot \left(\frac{V_{out}}{\sqrt{2}} \cdot V_{in \min} \right) \cdot V_{in \min}}{V_{out} \cdot I_{coil_pk}} = 607 \mu\text{H} \text{ 对于传统升压}$$

$$L_p = \frac{2 \cdot T_{total} \cdot \left(\frac{V_{out}}{\sqrt{2}} \cdot V_{in \min} \right) \cdot V_{in \min}}{V_{out} \cdot I_{coil_pk}} = 200 \mu\text{H} \text{ 对于跟随升压}$$

另一种设计准则是CRM中的大电流纹波。因为大纹波，磁芯磁通的变化范围大于CCM模式下的范围。较大的磁通变化范围导致较大的磁芯损耗，以致于不能使用铁粉等作为磁芯材料。关于材料属性的详细讨论不在本文的范围内，但这是设计电感时必须记住的。从以上方程式可明显看出，跟随升压方法的电感尺寸明显更小。传统的升压电感由TDK(SRW42EC-U07V002)设计，而跟随升压电感由ThomsonOrega (10689480)设计。

功率开关

应该仔细选择功率开关 Q1 以避免高功率损耗。损耗通常取决于开关频率、均方根电流、占空比和上升下降时间。这些参数分为两种损耗类型：导电损耗和开关损耗。对于CRM工作，MOSFET 导通时的开关损耗已被最小化，因为电流在 MOSFET 导通时为零。因此，重点应放在如何将导电损耗最小化。因此，选择过程基于三个关键的参数：晶体管均方根电流、漏-源电压和导通电阻($R_{DS(on)}$)。开关电流的均方根(rms)值可以通过对如下方程式中整个周期的开关电流平方取平均得到。一旦确定该值，功率耗散可以根据所选 MOSFET 的 $R_{DS(on)}$ 来计算。

$$I_Q = \sqrt{\frac{1}{6} \cdot \frac{4 \sqrt{2} \cdot V_{in \min}}{9 \cdot \pi \cdot V_{out}} \cdot I_{coil_pk}}$$

作为旁注，出于实用的原因，在传统和跟随升压电路中使用了相同功率的MOSFET Q1。但是，跟随升压电路中的导电损耗实际上低于传统升压中的导电损耗。跟随升压具有更长的关断时间，这便导致了更小的开关占空比和更低的导电损耗。这有助于通过减小功率开关的尺寸和成本来降低系统成本。

输出整流器

应根据反向电压容量、正向电流和估计的功率预算来选择输出二极管。CRM工作大大简化了二极管工作和选择，因为在这里反向恢复时间并不重要。换句话说，选择过程更多地取决于用户。在本设计实例中选择了安森美半导体的MUR460E超快速整流器。选择一个超快速二极管有助于减小MOSFET的热应力。

输出电容

选择输出电容 C_{out} 是另一个重要的设计步骤。电容值由输出电压、输出纹波电压和需要存储的能量决定。它一般很昂贵而且通常要求其电压额定值为400V或者更高。和电容需要存储的能量有关的一个重要因素是系统的保持时间要求。一般，保持时间的范围是从16到50ms。大多数工业要求是20ms。传统升压的最小输出电压($V_{out_{min}}$)是280V，而跟随升压是150V。这里已考虑了PFC预调节器为维持输出负载而允许输出电压下降的最小电压。换句话说，需要存储多少能量来自能量方程：

$$\text{能量} = \text{功率} \times \text{时间}$$

$$\text{其中功率} = 150\text{W (输出功率)}$$

$$\text{而时间} = 20\text{ms (保持时间)}$$

欲解以上能量方程式， C_{out} 需要存储3 J。现在通过重新排列下一个方程式可以容易地解出 C_{out} 。传统升压专为400V的输出电压而设计，而跟随升压专为200V到400V的输出电压而设计。

$$\Delta U = U_1 - U_2 = \frac{1}{2} C_{out} (V_{out2}^2 - V_{out2_{min}}^2)$$

$$C_{out} = \frac{2 \cdot \Delta U}{V_{out2}^2 - V_{out2_{min}}^2} = \frac{2 \cdot 3}{400^2 - 280^2} \\ = 74\mu\text{F} \text{ 对于传统的升压}$$

$$C_{out} = \frac{2 \cdot \Delta U}{V_{out2}^2 - V_{out2_{min}}^2} = \frac{2 \cdot 3}{200^2 - 150^2} \\ = 342\mu\text{F} \text{ 对于跟随升压}$$

在最坏情况方案下的跟随升压中，最小输出电压越小， C_{out} 就越高。比如，选择 C_{out} 使得在低线路电压时 V_{out} 等于200V，这样便可以得到跟随升压解决方案的部分优点，而不需要非常大的电容来达到保持时间要求。选择中等水平 $V_{out_{min}}$ 的一个独特优点是它对第二段的性能没有明显的限制。通常，如果直流-直流转换器必须在大输入范围内工作，则其效率将大大受到限制。两种转换器的计算电容值各自为74 μF 和342 μF 。传统升压有大量输出纹波电压，这会让器件进入过压保护。因此，须使用一个220 μF 的电容。为了避免 C_{out} 的尺寸过大，须进一步对反馈引脚进行滤波，这有助于避免触发OVP。这表明在应用的各个方面均有折衷，而且在这种情况下，传统和跟随升压的主要折衷在于 C_{out} 的尺寸和成本。

前面提到的和保持时间有关的规范引出了对直流-直流转换器段的最小输入电压的讨论，这会在本章的后面作进一步探讨。

电流检测

电流检测电阻(R_{CS})和二极管桥式整流器串联(图28)。电流检测模块将电感电流转换为一个负电压。这个电压通过过流保护电阻(R_{OCP})施加到电流检测电路上。只要 R_{OCP} 上的电压低于-60mV，内部电流检测比较器便会复位PWM栓锁，由它迫使栅极驱动信号为低电平。在这种情况下，MOSFET断开。当 C_{out} 试图充电到输入电压的两倍来启动PFC时，这是一种特别有价值的保护方案。以下方程式有助于选择 R_{CS} 和 R_{OCP} 。

R_{CS} 的耗散功能：

$$P_{CS} = \frac{1}{6} \cdot R_{CS} \cdot I_{coil_pk}^2$$

过流保护电阻：

$$R_{OCP} = \frac{R_{CS} \cdot I_{coil_pk}}{I_{OCP}}$$

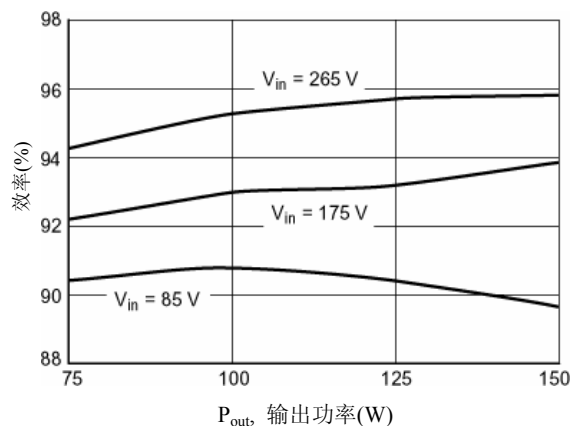
R_{CS} 的功率耗散须小些。本例中从现有的零件中选择了0.7 Ω 。在这个功率范围内，强烈推荐您使用0.5 ΩR_{CS} 以便保持低功率耗散。

电路原理图和元件清单

以下是MC33260升压转换器的功能原理图。电路图和元件清单见本报告后面的附录。

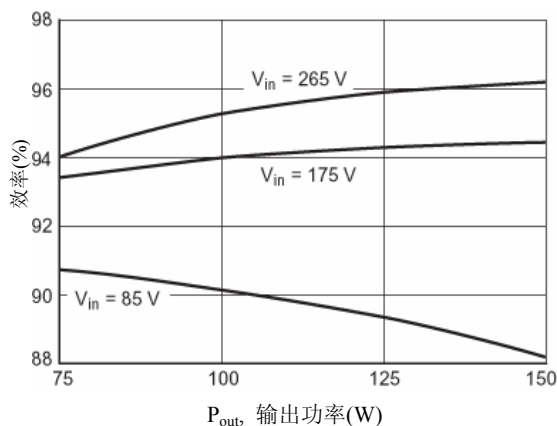
设计性能曲线

进一步检查数据可以得到许多有趣的观察结果。下列曲线表示实际数据，可以用作参考点。这些曲线给出了实用信息，



FB: 效率和输出功率的关系

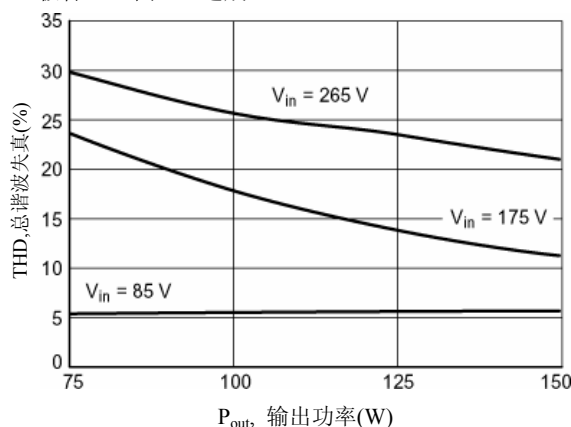
在试图达到所要求的功率因数、总谐波失真和效率指标时可能有用，并很有可能使性能得到优化。



TB: 效率和输出功率的关系

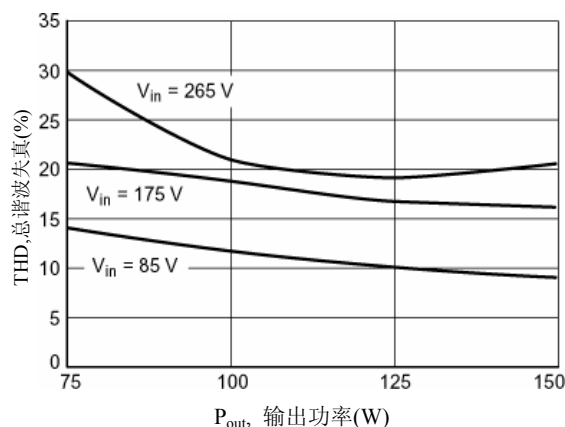
图 29. 跟随升压和传统升压的效率与输出功率的关系

在比较传统升压和跟随升压的效率时，可以明显看出，跟随升压在高线电压(265 Vac)和低线电压(85 Vac)条件下效率稍高。基于功率预算，电感中的损耗变化不大，因为峰值电感电流Icoil_pk在两个预调节器中都相同。只有绕组直流电阻和磁芯损耗有所不同。大多数损耗由主功率开关Q1和输出二极管D5（图28）造成。



FB: 总谐波失真和输出功率的关系

跟随升压具有更长的关断时间，从而导致更小的占空比，进而降低Q1的导电损耗。跟随升压模式中Q1和D5的功率预算计算值是2.26 W，而传统升压模式则为2.46 W。另一方面，随着输入电压的增加，两个预调节器的效率明显提高。

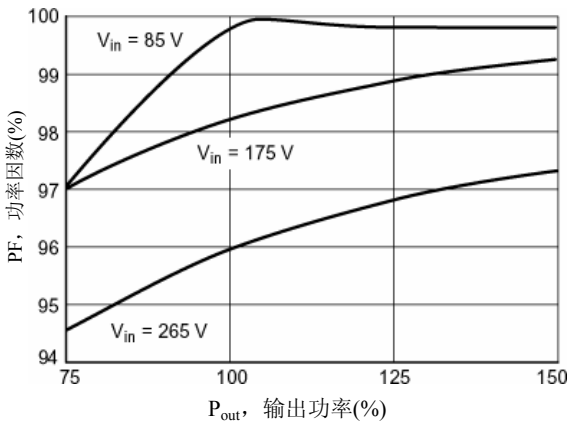


TB: 总谐波失真和输出功率的关系

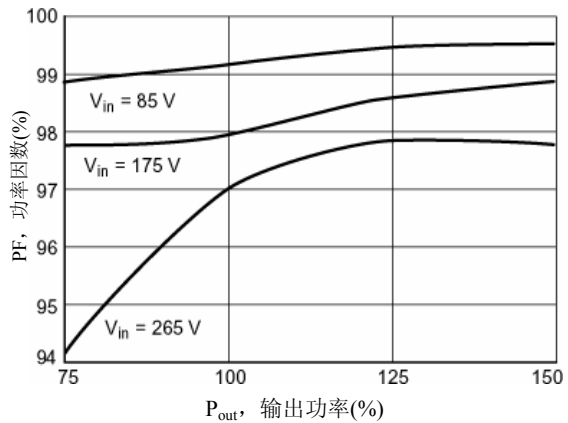
图 30. 跟随升压和传统升压下的总谐波失真与输出功率的关系

在测量 THD 时，注意设备分类和所需的谐波限制非常重要。在这种情况下，MC33260 呈现出较高的 THD。图 30 所示的 THD 成分包括二次、三次和每个奇数次谐波，最高为 9 次

谐波。两个预调节器中，高线电压(265 Vac)下的 THD 水平比低线电压(85 Vac)下的高的多，因为其开关频率更高。



FB: 功率因数和输出功率的关系



TB: 功率因数和输出功率的关系

图 31. 跟随升压和传统升压下的功率因数与输出功率的关系

测量功率因数需要使用非常可靠的功率计，能够精确的测量视在功率（均方根电压和均方根电流的乘积）和有功功率。跟随升压的功率因数比传统升压的稍高一些。部分原因是由于其开关频率比传统升压的开关频率更低，而高功率因数和低谐波是一致的。

第二段直流-直流转换器

本节对三种下游转换器方法D1、D2和D3所采用的两开关正激第二段进行了比较和小结。两开关正激转换器的优点包括开关电压较低和输出纹波小。在理论设计过程中使用了Power 4-5-6软件。如第二章所提及的，D1和D3设计完全相同，因为它们的输入和输出规格相同。这可以帮助设计师了解所有三种方法之间的差别，并为他们的应用选择最优的解决方案。表5中最重要的属性将在以下章节中讨论。

120W直流-直流设计实例

直流-直流转换器的设计基于以下参数。其目标是为了工作在连续模式下。

额定输出功率: $P_{out} = 120\text{ W}$

输入电压范围: $V_{in} = 280\sim 432\text{ V}$

(传统升压MC33260和NCP1650)

150~425 V (跟随升压MC33260)

额定稳压输出电压: $V_{out} = 12\text{ V} \pm 10\%$

开关频率: $f_{sw} = 200\text{ kHz}$

系统效率: $\eta = 80\%$

变压器

D1和D3的输入电压基于280V~432V这一范围，而D2的输入电压基于150V~425V这一范围。D1~D3的最小输入电压已考虑了PFC段中储能电容的保持时间。保持时间是在PFC段及150W的额定输出功率下，电容放电直至电压达到最低工作电压所需的时间。压差的起点是直流-直流段的最小输入电压。最大电压280V和150V分别为各PFC段的过压保护值。由于D2的输入电压较低，变压器需要一个较小的匝数比。D1和D3选用EFD20磁芯，D2选用EFD30磁芯。

功率开关

转换器段选用两开关正激拓扑的主要原因之一是，常规的单开关正激拓扑，其峰值开关电压要高得多，因而需要一个额定值为900V或更高的MOSFET，这使它变得非常昂贵。如上所述，开关的选择准则是输入峰值电流、漏-源电压和功率耗散。D2采用一个500V, 0.95Ω的开关，而D1和D3使用600 V, 3.0Ω的开关。如上所述，D2变压器的匝数比是D1和D3的一半。因此，其功率开关漏级电流增大了一倍。为了减小导电损耗而选择了 $R_{DS(on)}$ 更小的开关。

电感和电容滤波器设计

两开关正激拓扑中的LC滤波器有两个用途。在功率开关的关断期间，它为输出负载存储能量。其次，它使电源输出端的输出纹波电压最小化。滤波电感通常比滤波电容大的多。

功率二极管

选择二极管时有两个选项：肖特基二极管和超快速二极管。在选择输出整流器时必须考虑使功率损耗最小化和使效率最大化。要考虑的最重要的参数是二极管正向电流 I_F 、正向电压 V_F 和反向电压 V_R 。二极管必须能够承受为负载供电所需的大电流，并能承受高反向电压而不致被烧毁。 I_F 应至少等于平均输出电流。而 V_R 应大于输出电压与反射到次级的输入电压之和。

$$V_R \geq V_{in\max} \cdot \frac{N_s}{N_p}$$

在这种情况下，D1 和 D3 使用肖特基二极管，而 D2 使用超快速二极管。另外，由于在 D2 中使用的变压器的匝数比较低，正向电流和阻塞电压明显较高。因此，肖特基二极管无法满足电气要求，所以要使用超快速二极管。这两种二极管的价格差别不大。

表 4. 直流-直流两开关正激的详细比较(POWER 456)

属性	D1 MC33260 2-开关正激	D2 MC33260 2-开关正激	D3 NCP1650 2-开关正激
变压器	匝数比 10:1 0.629 in ² 0.257 in ³	匝数比 5:1 1.44 in ² 0.68 in ³	匝数比 10:1 0.629 in ² 0.257 in ³
功率开关	600 V 3.0 R _{DS(on)} TO220 0.077 in ² 0.067 in ³	500 V 0.95 R _{DS(on)} TO220 0.077 in ² 0.067 in ³	600 V 3.0 R _{DS(on)} TO220 0.077 in ² 0.067 in ³
电感	26 μH 10.6 Apk 1.00 in ² 0.507 in ³	26 μH 10.83 Apk 1.00 in ² 0.507 in ³	26 μH 10.6 Apk 1.00 in ² 0.507 in ³
功率二极管	肖特基 60 V, 15 A V _F = 0.62 V TO220 0.077 in ² 0.067 in ³	超快速 100 V, 10 A V _F = 0.80 V TO220 0.077 in ² 0.067 in ³	肖特基 60 V, 15 A V _F = 0.62 V TO220 0.077 in ² 0.067 in ³
输出电容	220 μF, 16 V 0.26 Apk 0.19 in ² 0.85 in ³	220 μF, 16 V 0.45 Apk 0.19 in ² 0.85 in ³	220 μF, 16 V 0.26 Apk 0.19 in ² 0.85 in ³
频率范围	200 kHz 固定	200 kHz 固定	200 kHz 固定
控制	I-模式	I-模式	I-模式
总体积	1.75 in ³	2.17 in ³	1.75 in ³

表 5. 直流-直流两开关正激段

属性	D1 MC33260	D2 MC33260- 跟随升压	D3 NCP1650
*成本(\$)	3.24	4.10	3.27
效率(%) @ 低线电压时	90.2	89.3	90.2
功率密度 (W/in ³)	68.57	55.29	68.57

*成本仅用于预算目的，基于 1,000 件量供货价格计算。

实际的生产成本会有显著变化。

上表再一次对直流-直流段进行了小结。进行全面的比较并非易事，因为此段的最优化设计尚未完全建立。但是，可以从看出一些明显的优点。和任何比较一样，其中涉及到诸多变量和折衷。

第四章

连续导电模式(CCM) PFC

本部分将指导用户使用NCP1650控制器进行连续导电模式升压PFC电路的设计，以及使用NCP1651控制器进行连续导电模式反激PFC设计。这里的说明仅限于主要的设计选择及其分析。更多设计细节将在产品的数据表和应用注释中提供。每个产品均有一个Excel电子表格，可进行元件值的快速计算和元件清单的方便生成。这些电子表格可以从以下网址中的NCP1650和NCP1651产品文件夹中下载：

[www.onsemi.com/site/products/summary/0,4450,NCP1650,00.html#Design % 20 & % 20Development % 20Tools](http://www.onsemi.com/site/products/summary/0,4450,NCP1650,00.html#Design%20&%20Development%20Tools)。

NCP1650: 150 W功率因数预调节器设计实例 (CCM升压)

I. 电路描述和计算

NCP1650功率因数控制器是一个采用固定频率和平均电流模式的控制器，被设计成可工作在连续或不连续模式中。电源设计师们越来越关注如何使产品符合政府颁布的能源规定，该功率因数控制器正是为此设计。这些规定的最新趋势是，如IEC1000-3-2，要求在功率额定值为75W或更高的电源中使用PFC预转换器。本文档中列出的NCP1650功率因数电路实例在通用输入下工作，并提供150 W的输出功率。这一设计可进行比例变换，以提供高达5.0 kW的输出功率。

为了开展设计，必须先规定电路的基本规格。这些规格将决定电路元件的主要属性，即电感尺寸，MOSFET、输出整流器和输出二极管的选择等。以下参数用于计算各种元件值。所给公式适用于连续导电模式(CCM)工作，这是该拓扑优先选用的工作模式。值得注意的是，NCP1650控制器也可工作在不连续导电模式(DCM)中。

最大额定输出功率： $P_{out_max} = 150\text{ W}$

最小工作线路电压： $V_{in_min} = 85\text{ Vac}$

最大工作线路电压： $V_{in_max} = 265\text{ Vac}$

线路频率： $f_{line} = 47\sim 63\text{ Hz}$

额定开关频率： $f_{sw} = 100\text{ kHz}$

额定稳压输出电压： $V_{out} = 400\text{ Vdc} \pm 8\%$

系统效率： $\eta = 0.9$ （期望值）

因为这个电路使用升压模式配置，所以输出电压需要大于整流输入电压的峰值。该设计要求使用通用的输入，最大线路电压为265Vac，线路电压峰值则会达到375 Vdc，因此选择400Vdc输出电压。

电感

电感的选择采用迭代法，由峰值电流、工作模式（CCM：恒流，DCM：不连续，CRM：临界导电）、纹波电流、输出纹波电压、元件应力和损耗以及板面积决定。正如设计方程所示，大多数参数为相反变化，相互之间是矛盾的，所以优化电感设计需要作一些折衷。电路设计师的责任是决定什么参数对于满足设计要求更重要。

电感值L的一级近似可用以下方程求得：

$$L = \frac{V_{in_min}^2 \cdot T}{2 \cdot I\% \cdot P_{out_max} \cdot \eta} \cdot \left[1 - \left(\frac{\sqrt{2} \cdot V_{in_min}}{V_{out}} \right) \right]$$

其中L = 电感值

V_{in_min} = 最小工作线路电压

P_{out_max} = 最大额定输出功率

T = 周期

V_{out} = 额定稳压输出电压

I% = 可允许的纹波电流峰值和电感中的峰值电流的比（一般为20~40%）

η = 效率

下表有助于根据允许的纹波电流确定电感的范围。推荐使用灰色阴影内即输入电流纹波为 20~40%范围内的电感值。

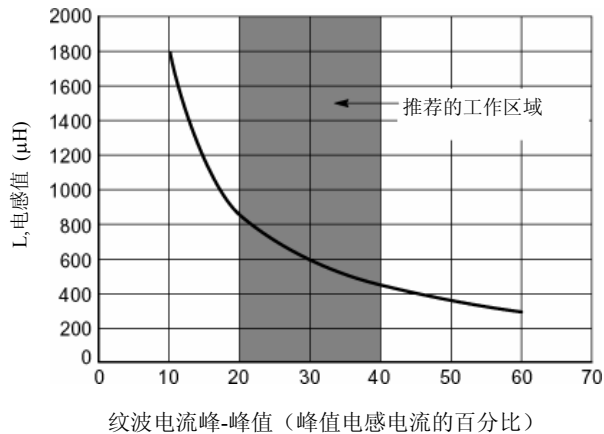


图 32. 推荐的电感值与纹波电流的函数关系

建议通过调整L的值来将纹波电流最小化，同时将其限制在一个合理的尺寸以减小板面积。通常，最大纹波电流峰-峰值为峰值电感电流的20%到40%是可以接受的。

选用最小的推荐电感值可以减小电感的尺寸，但也会导致较大的开关峰值电流、纹波电流和输出纹波电压。因此需要较大的MOSFET和输出电容来处理较高的元件应力。较小的电感值也迫使器件在高线电压条件下工作在不连续模式中，这提高了对输入滤波器的要求，增加了元件上的应力和总谐波失真(THD)水平。

选用最大的推荐电感值来使元件应力最小化并确保连续导电模式下的运行，要达到这一点就板面积和电感成本而言是昂贵的。较大的电感值也导致了较高的绕组损耗。

有了excel电子表格，用户便可以用不同的L值来进行快速试验，并观察其对设计参数所产生的影响。本设计优选的电感为800μH。从而得到以下结果：

峰值电感电流： $I_{pk} = 3.3 \text{ A}$

输出电容纹波电流： $I_{C \text{ rms}} = 1.30 \text{ A rms}$

输出电压纹波： $V_{out \text{ 纹波}} = \pm 32\text{V}$ （或 $\pm 8\%$ ）

确保了在 40° 到 140° 范围内和高线路电压、满负载条件下工作在 CCM 状态中。

尽管这个范围对于防止控制器在高线电压时进入DCM进而导致较高的THD而言尚显不足，但在实际中，电路在多种输入条件下均工作在CCM中。另外，如结果部分所示，高线电压时THD水平仍然比较令人满意，大大低于10%的标准。

在实际中电感的设计可以通过多种方法完成。磁芯材料和尺寸、骨架和导线可以由用户或者经验丰富的磁性元件制造商，如 Coilcraft (www.coilcraft.com) 或 TDK (www.component.tdk.com) 来选择。本设计中使用的电感由 TDK 电子元件提供，并可以通过参考号 SRW28LEC-U25V002进行订购。

功率开关

功率 MOSFET 的选择基于最大的漏-源电压 V_{DS} 和最大开关电流。 V_{DS} 由 PFC 预调节器的输入电压决定。最大开关电流与电感峰值电流相同。电感峰值电流是最大线路电流和容许的纹波电流的函数。它发生在低输入线电压的峰值处，此时电流需量最高，如图 33 所示。

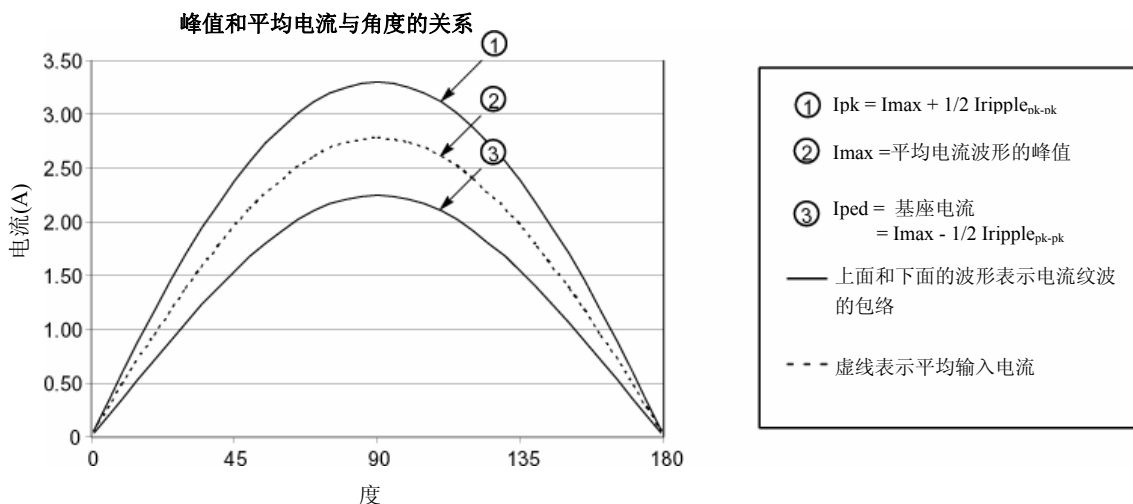


图 33. 峰值和平均线路电流与角度的关系

峰值电流为平均线路电流波形峰值和电流纹波峰-峰值一半的和。

$$I_{pk} = \frac{\sqrt{2} \cdot P_{in}}{V_{in}} + \frac{1\%}{2} \left(\frac{\sqrt{2} \cdot P_{in}}{V_{in}} \right)$$

最高的峰值电流发生在低线电压和满负载条件下。为了减小开关损耗和导电损耗，记住要选择栅极电荷少、电容小和 $R_{DS(on)}$ 小的 MOSFET。此设计使用了 International Rectifier 生产的 IRFB11N50A MOSFET。选择这种特殊的 MOSFET 是因为它具有 0.52Ω 的低 $R_{DS(on)}$ ，500V 的漏-源电压和 11A 漏级电流额定值。它的总栅极电荷为 52 nC，输入电容为 1423pF，这有助于减小开关损耗。

输出整流器

必须慎重选择输出整流器，以减小功率损耗和提高效率。要考虑的最重要的参数是二极管正向电流 I_F 、反向电压 V_R 和最大反向恢复时间 t_{rr} 。二极管必须能够承受为负载供电所需的大电流，并能承受高反向电压而不致被烧毁。 I_F 应高于电感电流峰值，而且 V_R 应大于 V_{out} 与输出电压纹波之和。平均二极管电流可以通过 Excel 电子表格来计算。

二极管峰值电流等于电感峰值电流。非重复二极管峰值正向电流额定值 I_{FSM} ，应作相应选择。输出整流器的功率耗散可通过 excel 电子表格来计算。如果已知由制造商提供的输出二极管的正向电压和反向恢复时间，设计辅助工具就可计算出反向恢复损耗、导电损耗和整流器的总损耗。

如计算所示，在 100kHz 时，开关损耗变大。选用一个反向恢复时间小的整流器，如安森美半导体的超快速 MUR 系列二极管将有助于降低开关损耗。使用低正向电压降可使导电损耗最小化。

本设计采用了安森美半导体的超快速二极管 MURH860CT。这个二极管的正向电流容量是 8.0A，正向电压为 2.5V，反向电压额定值为 600V，反向恢复时间为 35ns。

输出电容

输出电容根据其电容值和电压额定值来挑选。电压额定值取决于预转换器电路的输出电压。电容值则取决于容许的输出电压纹波水平和停止充电情况下的保持时间。

输出纹波水平一般根据第二段输入要求进行设置。

$V_{out} - V_{ripple}$ 必须大于第二段所要求的最小输入电压。

在本设计中需要使输出纹波小于峰-峰值的 16%，即小于 $\pm 32V$ 。输出电压纹波可以通过 Excel 电子表格近似求得。最小需要 33μF 的电容来满足此要求。在低线电压时使用 100μF 的 C_{out} 值会产生 11.8V 峰-峰值的输出电压纹波（板上测得），这大大低于我们所期望得到的 32Vpp 纹波。

一般的电源都要求达到一个最小保持时间以防电源失电，因为在失电期间电源必须能够保持它的负载输出。20ms 的保持时间是业内可接受的标准。20ms 保持时间所需要的最小电容可以这样计算：

$$C_{out} = \frac{2 \cdot P_{out} \cdot t_{hold}}{V_{out}^2 - V_{out_{min}}^2}$$

其中 t_{hold} 是最小保持时间，而 $V_{out_{min}}$ 是使 C_{out} 可以在20 ms的时间内放电所需达到的最小输出电压。

同样，最小输出电压由第二段为保持其负载所需要最小输入电压决定。对于本设计，第二段直流-直流正激转换器的输出负载为120W (12V, 10A)，需要280V的 $V_{out_{min}}$ 。

现在可以计算 C_{out} 的值了。计算得到的 C_{out} 值为74 μ F。为了满足最小保持时间和输出电压纹波的要求，在此设计中选择了下一档更高的标准电容值100 μ F。

最后，在为设计选择合适的电容时，必须考虑流过电容器的最大均方根电流值。假设负载为恒定直流电阻，均方根电流可以按如下公式计算：

$$I_{Crms} = \sqrt{\left[\frac{32 \cdot \sqrt{2} \cdot P_{in2}}{9 \cdot \pi \cdot V_{in} \cdot V_{out}} - \left(\frac{V_{out}}{R_{load}} \right)^2 \right]}$$

其中，在使用非电阻负载的情况下， V_{out}/R_{load} 可以用均方根输出电流来替代。确保不超过电容（电流和功率）的额定值这点很重要。

为了减小功率耗散，最后需要注意的是要使电容的 ESR 最小化。如果布局允许，并联多个电容不失为一个好方法。这也有助于在不同电容之间分配均方根电流和功率耗散，让用户可以选择更低的电流额定值，从而可以使用更小的器件。设计中使用了 100 μ F, 450V 松下铝电解电容。

EMI考虑事项

EMI在各种PFC中都存在，特别是在高频条件下。EMI有辐射EMI和传导EMI两种。本例重点介绍传导EMI，它可以分成两类，共模和差模。以下数据是在没有采用最优化EMI输入滤波器的条件下测得的。EMI考虑事项和结果在第六章中说明。

控制电路设计

控制电路设计可以使用Excel设计工具进行，这可以让用户逐步设计所有元件的值。该工具确保所选择的元件不会超过任何IC参数限制。

直流-直流转换器

NCP1650传统升压的直流-直流第二段设计已在第三章中说明。进一步的信息请参考“120 W直流-直流设计实例”这一节。

II. 电路原理图和元件清单

下面是 NCP1650 升压转换器的功能原理图。完整的电路图和元件清单见本报告后的附录。

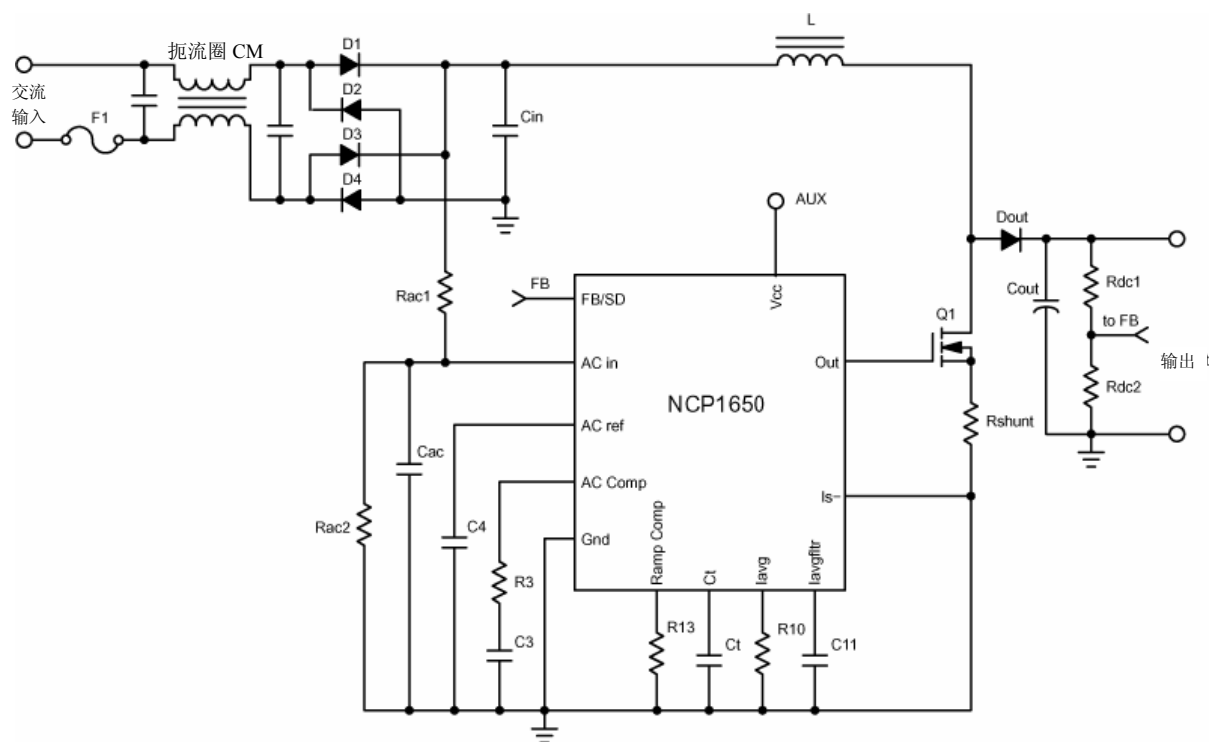


图 34. NCP1650 PFC 升压转换器简化原理图

III. NCP1650板结果

在进行NCP1650板上的测量之后，得到了以下数据。

表6. 使用800 μ H电感的NCP1650 PFC电路结果

V _{in} (Vac)	85	115	230	265
P _{in} (W)	173	166	159.8	158.6
I _{line} (rms)	2.04	1.44	0.69	0.597
V _{out} (V)	404.2	404.6	404.7	404.8
I _{out} (A)	0.375	0.374	0.371	0.371
效率 (%)	87.6	91.2	94.0	94.7
PF (%)	99.76	99.78	99.77	99.6
THD (%)	4.67	4.19	5.51	6.32

表6显示，在输入电压范围内可以从NCP1650得到良好的效率。线路电压较低时，效率会稍有降低。这是因为线路电压较低时线路电流会增加，这便加大了MOSFET和输出整流器的功率耗散。另一方面，在所有输入电压条件下都可以观察到非常好的功率因数(PF)和THD性能。

你也可以通过改变输出负载来改变电路的输出功率，并观察它对效率、功率因数和总谐波失真的影响。以下三张图描述了这些结果。

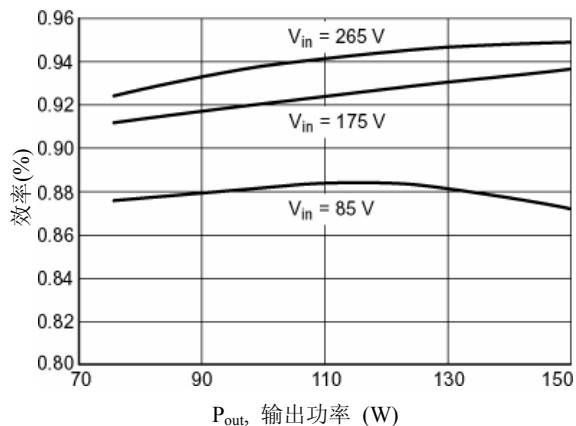


图35.效率和输出功率的关系

如图 35 所示，线路输入电压越高，效率也越高。线路电压越高，保持负载所需的输入电流就越小，而各个元件上的功率耗散也越小，从而使电路效率提高。

在低线电压时，效率在较高的输出功率处开始下降，因为线路电流增大较多，因而功率MOSFET和输出整流器的功率耗散也相应增大。

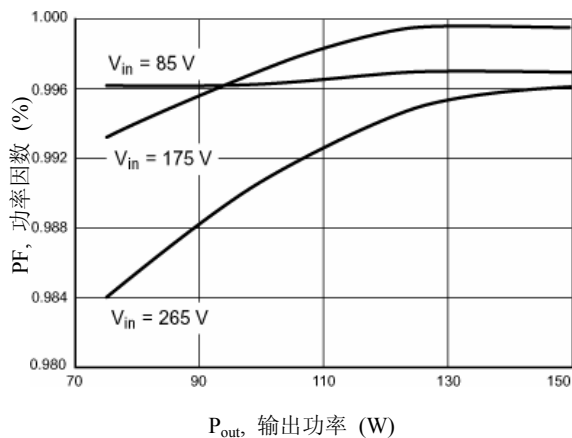


图36. 功率因数和输出功率的关系

如图36所示，功率因数随着输出功率的提高而改进。在较低的输出功率水平和高线电压条件下(175Vac和265Vac)，电路工作在不连续模式下。DCM状态下的工作迫使功率开关和输出整流器中的di/dt更快且峰值电流更高。结果是使功率因数水平受到影响。在低输入线路电压下，无论输出功率为多少，器件均工作在CCM，因此，失真在此并不成问题。加大电感有助于扩展电路在CCM中工作的范围，而且有助于提高整个功率因数水平。

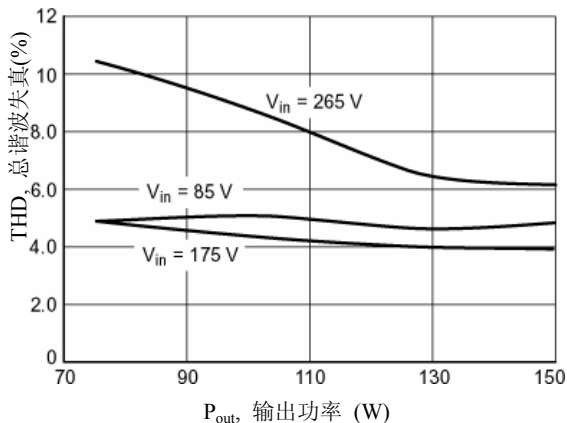


图 37. THD 和输出功率的关系

在图37上可以看到,和功率因数相似,对于低输出功率而言,THD在高线电压时要高的多。这也是因为控制器工作在不连续模式下所致。这将导致更快的 di/dt 和更高的失真水平。由于输入电流波形的快速变化,在EMI滤波器中滤波难度较大。在比较中可以观察到,在高线电压、高输出功率下,THD水平低得多,因为控制器此时工作在CCM中。增大电感可扩大控制器在CCM状态下工作的范围,并有助于减小THD。但这将增大电感尺寸,并可能超出设计限制。

在许多系统中,客户的要求是在75W到满功率的负载范围内满足减少谐波这一要求。在这种情况下,为了满足IEC 1000-3-2的要求,使电路在230Vac和75W负载条件仍保持在CCM状态十分重要。

NCP1651: 120 W单段功率因数设计实例(反激)

I. 电路描述和计算

NCP1651是一个单段功率因数控制器,被设计成可在反激配置中工作。这个控制器的显著优势在于将第一段功率因数预转换和第二段直流-直流转换结合在一个IC中。这为用户节约了多方面的成本,因为周边元件和磁性器件的数量大大减少。

和NCP1650 PFC项目相似,为了开展设计,必须规定电路的基本规格。这些规格决定了电路元件的主要属性,主要包括变压器尺寸和MOSFET、输出整流器及输出二极管的选择。

以下参数用于计算各种元件值。

最大额定输出功率: $P_{out_{max}} = 120\text{ W}$

最小工作线路电压: $V_{in_{min}} = 85\text{ Vac}$

最大工作线路电压: $V_{in_{max}} = 265\text{ Vac}$

线路频率: $f_{line} = 47\sim 63\text{ Hz}$

额定开关频率: $f_{sw} = 100\text{ kHz}$

额定稳压输出电压: $V_{out} = 12\text{ Vdc}\pm 10\%$

系统效率: $\eta = 0.8$ (期望值)

变压器

在二段法中,直流-直流段的输入稳定在400 V,而单段反

激的输入未经稳压,随线路电压的变化而变化。因此,反激拓扑具有很高的峰值电流,必须配备一个强劲的变压器。

变压器的设计借助了安森美半导体的辅助设计工具,该工具可从网上下载。和NCP1650的设计相似,这里选用了变压器的初级电感来使输入纹波电流最小化。较高的电感值会产生较低的初级峰值电流,也有利于减小损耗。因此选用了800 μH 的电感值。

选择正确的匝数比更为复杂,有点类似于选择一个平衡点。一方面,大匝数比意味着MOSFET和输出整流器的功率耗散可以更低。在大匝数比的情况下,一个小的初级电流就足以支持负载。因为MOSFET中的功率耗散和 $I_p^2 \times R_{DS(on)}$ 成正比,所以初级电流的轻微减小便会引起功率耗散的大幅度降低。另外,选择大的匝数比会产生一个低次级电压,并减小次级二极管在截止状态中的电压应力。因此可以选用一个反向电压额定值(V_R)低的输出整流器。这点很重要,因为 V_R 较低的二极管其正向压降(V_F)较小。二极管的损耗和 $I_F \times V_F$ 成正比,这有助于使二极管的功率耗散最小化。

另一方面,小匝数比亦有许多优点,其中显著的一点就是尺寸和成本优势。通常会试图将匝数比保持在20:1以下以使变压器具有合理的尺寸和适当的成本。其次,匝数比小意味着只有一小部分输出电压被反射回初级,例如:在这个设计中 $12\text{ V/匝} \times 7\text{ 匝} = 84\text{ V}$ 。另外,由于导线的电容耦合,初级漏感将随着匝数的增加而增加,并同时增加MOSFET漏极上的电压振铃幅度。由于功率MOSFET所承受的电压是整流输入电压加上反射电压和漏感脉冲电压,因此建议将匝数比保持最小。

变压器匝数比的一级近似可从下图中获得。它描述了MOSFET的最大期望漏-源电压(V_{DS}) (不包括漏感贡献)和次级电压与变压器匝数比的关系。这可以让用户通过选择正确的匝数比来减小MOSFET和输出二极管中的功率耗散。

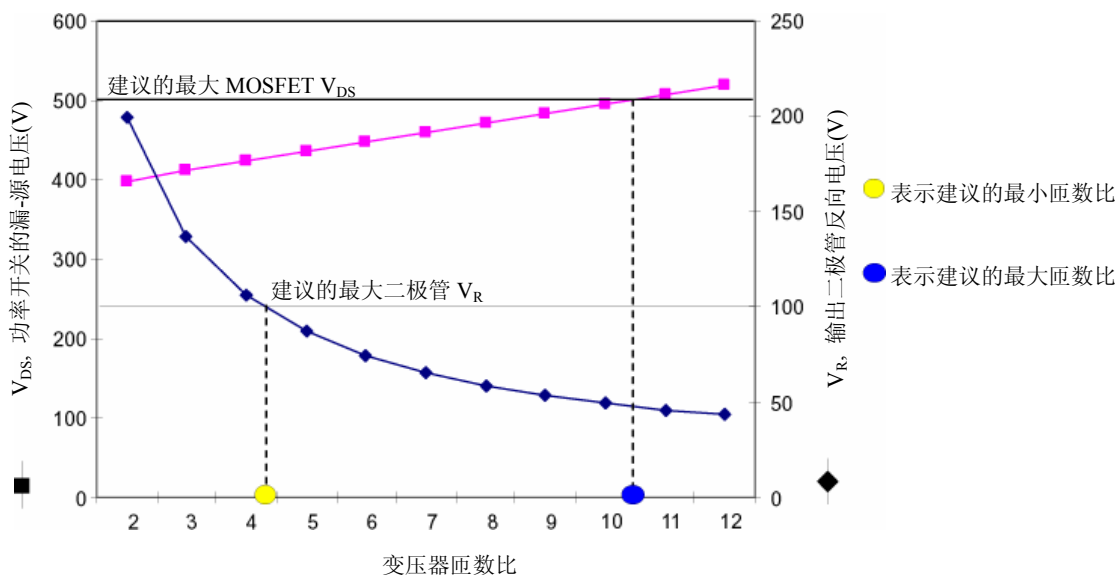


图 38. V_{DS} 和 V_R 与变压器匝数比的关系 (12V 输出)

所选择的匝数比应能将漏-源电压保持在一个合理的水平。对于较低的 V_{DS} ，可以选择 $R_{DS(on)}$ 较低的 MOSFET，因而其导电损耗也会更低。漏-源电压越小， $R_{DS(on)}$ 也越小。图 38 中所示的 V_{DS} 期望值不包括变压器初级漏感所产生的电压振铃。漏感贡献在更高匝数比条件下更差。因此，在选择 MOSFET 的 V_{DS} 额定值时需要保持一定程度的安全余量。建议选择所产生的 V_{DS} 小于 500V 或者落于图 38 参考点左侧的匝数比。本设计最好使用 V_{DS} 额定值为 800V 的 MOSFET。这可以有 300V 的余量，同时保持一个低的 $R_{DS(on)}$ ，参见 MOSFET 部分。如果 MOSFET 电压振铃越来越严重，则需要使用阻尼器来保护开关，但这会降低效率，因为吸收电压尖峰的同时阻尼器会散发热量。

在选择输出二极管时，最小的正向电压将产生最小的功率耗散（忽略开关损耗）。因为正向电压的大小和反向电压额定值直接相关，所以挑选 V_R 小的二极管有助于降低损耗。最小的 V_R 可以通过较小的匝数比获得。建议选择所产生的 V_R 小于 100V 或落于图 38 参考点右侧的匝数比。

辅助绕组用来提供控制器工作时的偏压。其可向 NCP1651 IC 的 V_{cc} 引脚提供最小为 12V 的电压，因此使用了和次级绕组一样的匝数比。齐纳二极管箝定电压至 18V 以防止发生振铃。辅助绕组应该和次级绕组同相连接。

规定变压器制造商必须将初级漏感保持在最小值这点很重要，这样可减小在 MOSFET 断开时在其两端产生的电压振铃。如果漏感很大，则必须增加瞬态电压抑制器来保护 MOSFET。

总之，必须做出一些折衷，以挑选正确的磁性器件。要么优化设计来减小 MOSFET 和输出二极管中的功率耗散，要么优化设计来降低 MOSFET 上的电压应力并减小变压器和阻尼器中的损耗。较小的匝数比有利于在初级生成较高的峰值电流以及在输出整流器中产生更高的正向电压。较高的变压器匝数比有利于降低漏感、磁芯和绕组损耗，并产生更高的漏-源电压。选择正确的匝数比与 MOSFET、整流器的有效利用及其电气特性密切相关。

功率开关

功率 MOSFET 的选择基于最大漏-源电压和最大峰值电流 I_{pk} 。 V_{DS} 由整流输入电压与反射输出电压和漏感电压之和来决定。

$$V_{DS} = \sqrt{2} \cdot V_{in\ max} + \frac{N_p}{N_s} \cdot V_{out} + I_p \cdot \sqrt{\frac{L_p(leakage)}{C_p + C_{oss}}}$$

其中 $\frac{N_p}{N_s}$ 是初级对次级的匝数比， I_p 是变压器初级电流， L_p (漏) 是初级绕组漏感， C_p 是初级绕组寄生电容（一般为 1.0nF），而 C_{oss} 是 MOSFET 输出电容（这里为 800pF）。

最大开关电流和初级绕组峰值电流相同。初级电流是最大线路电流和容许的纹波电流的函数。它可以使用下列方程或Excel设计辅助工具进行估算。

$$I_{pk} = \frac{\sqrt{2} \cdot P_{in} \cdot T}{V_{in \min} \cdot t_{on}} + \frac{2 \cdot \sqrt{2} \cdot V_{in \min} \cdot t_{on}}{L_p}$$

其中 L_p 是初级绕组电感， t_{on} 是功率MOSFET导通时间。最高的峰值电流发生在低线电压和高负载条件下。图39显示了流过变压器的不同电流。线路电流波形的最小和最大电流分别以基座电流 I_{ped} 和峰值电流 I_{pk} 表示。

为了使开关损耗和导电损耗最小化，记住要选择一个带低栅极电荷、小电容和小 $R_{DS(on)}$ 的MOSFET。本设计采用了Infineon的CoolMOS SPP11N80C3 MOSFET。选择这种特殊的MOSFET是因为它的 $R_{DS(on)}$ 较低，为 0.45Ω ，以及其800V的漏-源电压和11A的漏极电流额定值。其栅极电荷为60nC，器件电容为1600 pF，这有助于减小开关损耗。

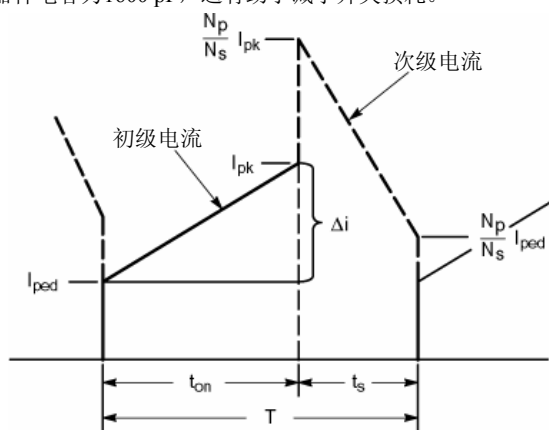


图39. 反激变压器的初级和次级电流

输出整流器

所选择的输出整流器必须能使功率损耗最小化，效率最大化。要考虑的最重要的参数是二极管正向电流 I_F ，正向电压 V_F 和反向电压 V_R 。二极管必须能够承受为负载供电所需要的大电流及高反向电压。因而器件类型的选择（肖特基二极管和超快速二极管）尤为重要。 I_F 应至少等于平均输出电流，并且 V_R 应大于输出电压与反射到次级上的输入电压之和。

$$V_R \geq V_{out} + \sqrt{2} \cdot V_{in \max} \cdot \frac{N_s}{N_p}$$

输出整流器中的功率耗散可以用excel电子表格来计算。平均功率损耗由导电损耗和恢复损耗两部分组成。正向电压降低可减小导电损耗。部分导电损耗也和变压器的匝数比有关。当匝数比上升时，应力和功率耗散会随着二极管峰值电流的增大而增大。该关系可以从输出二极管功率耗散的计算公式中看出：

$$P_d = V_F \cdot I_F \cdot (1-D), \text{ 及 } I_F = \frac{(I_{pk} + I_{ped})}{2} \cdot \frac{N_p}{N_s}$$

有趣的是，平均电流将保持不变，因为它仅仅取决于负载。而且，反向电压额定值与峰值电流的变化方向相反，且在匝数比增大时减小。

平均功率损耗与恢复损耗无关，因为本设计使用的是肖特基二极管。导电损耗决定了功率耗散。

本设计采用了安森美半导体的肖特基二极管MBR10100。这个二极管的正向电流容量为10A，反向电压额定值为100V，正向电压额定值为0.95V。

输出电容

为获得高输入性能并节约系统成本，需要作诸多折衷，其中之一便是对输出电压特性作出折衷。反激转换器没有中间能量存储，所以输出电容便有两大功能：线路频率的能量存储和开关频率纹波的滤波电容。这使得所使用的电容要比通常的要大的多，以保证将纹波电压维持在低水平，同时在断电条件下可以满足保持时间的要求。

输出电容应根据其电容值、电压和均方根电流额定值进行挑选。电容值取决于所需的输出电压纹波水平。可接受的输出纹波水平一般5%左右或以下，在本设计中即小于600mV。电压纹波有两个分量，一个由线路频率引起，另一个由元件开关引起。两者都可以用Excel设计辅助电子表格来计算。电压额定值由电路的输出电压与输出纹波电压之和决定。

电容的均方根电流额定值与其承受的纹波电流水平直接相关。因为输出二极管和输出电容之间没有串联电感，电容器将受到大电流瞬变的作用，此类瞬变由电路中的大开关电流引起。那些大电流瞬变不仅会因为电容的ESR而在输出上增加一些电压纹波，如果选择不当，还会损坏电容。

通常，制造商会列出电容器的均方根电流容量。一条好的经验法则是选择均方根电流额定值等于或大于电容电流峰-峰值 60%左右的电容。电容纹波电流的峰-峰值可以用 Excel 电子表格近似求得。

在这个设计中，使用了两个大型金属壳的 16V, 15,000 μ F 铝电解电容和两个 United Chemicon 的 16 V, 680 μ F 贴片电解电容进行并联。这种奇特的组合可以得到一个紧凑的电容器组。此电容值初看上去似乎有些大，但因为不仅要满足输出纹波电压要求，还要处理高纹波电流（峰值 21A），所以必须采用这么大的电容。通过并联和组合两种不同类型的电容，不仅减小了 ESR，而且通过的均方根电流也有所增大。电容器的 ESR 使得低频电流纹波大多流过 15,000 μ F 的大容

量电容，这些电容阻抗最小且电流额定值最大。尽管680 μ F 的电流额定值较低，但是尚未超过其最大纹波电流容量，因为负载是共享的。使用这一电容组合，在高线电压时我们可得到120Hz 2.03V_{pp}的纹波。如果以获得较低纹波水平为主要目标，则可以在输出端添加额外的电容。增加两个额外的15,000 μ F电容可进一步将电压纹波减小到1.57 V_{pp}。通过增加一个0.1 μ F的陶瓷电容来滤除任何存在的高频分量也不失为一种好做法。

II. 电路原理图和元件清单

下面是 NCP1651 PFC 的功能原理图。完整的电路图和元件清单见本报告后的附录。

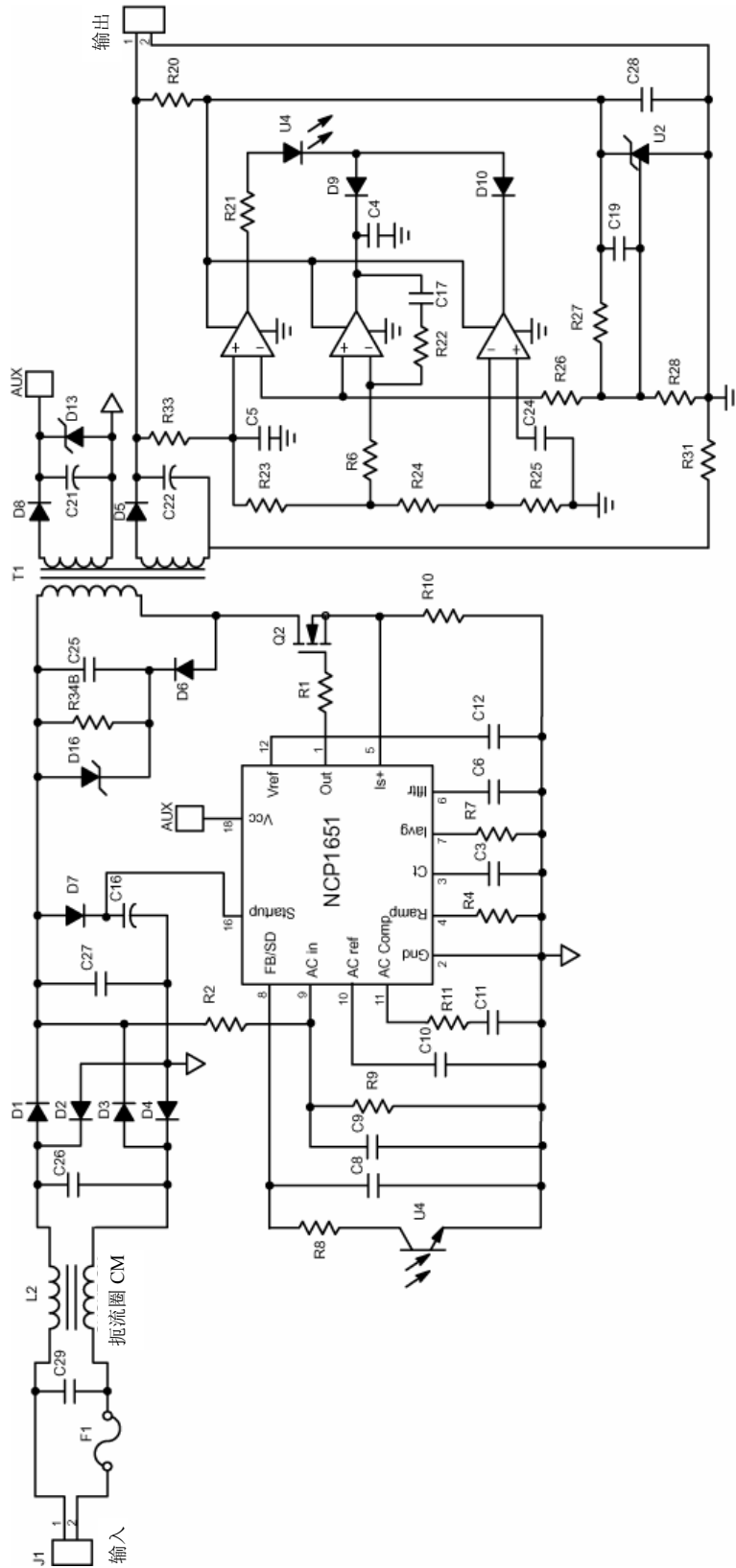


图 40. 简化的 NCP1651 单段反激功率因数转换器原理图

III. NCP1651结果

在NCP1651板上进行了测量并且观察到以下结果。

表7. NCP1651 PFC电路结果

V _{in} (Vac)	85	115	230	265
P _{in} (W)	153.8	146	140.1	140.3
I _{line} (rms)	1.80	1.27	0.63	0.56
V _{out} (V)	11.72	11.78	11.77	11.78
I _{out} (A)	10	10	10	10
效率 (%)	76.2	80.7	84.0	84.0
PF (%)	99.79	99.86	96.70	93.87
THD (%)	4.76	4.29	6.4	7.9

表7表明NCP1651在输入电压范围为115Vac及以上时可获得高效率。效率在低线电压时会降低。线路电流在线路电压较低时会增大,此时,在MOSFET和输出整流器上可观察到较高的功率耗散。另一方面,在所有输出电压条件下均可观察到非常好的功率因数(PF)和THD性能。在265Vac下可观察到PF和THD性能略有降低,因为器件随着经整流的正弦波上的位置变化而在DCM和CCM之间更替。DCM发生在穿越零点的附近位置,而在周期的剩余时间内,器件将始终工作在CCM下。

您也可通过改变输出负载来改变电路的输出功率,并观察它对效率、功率因数和总谐波失真的影响。下面三张图描述了结果。

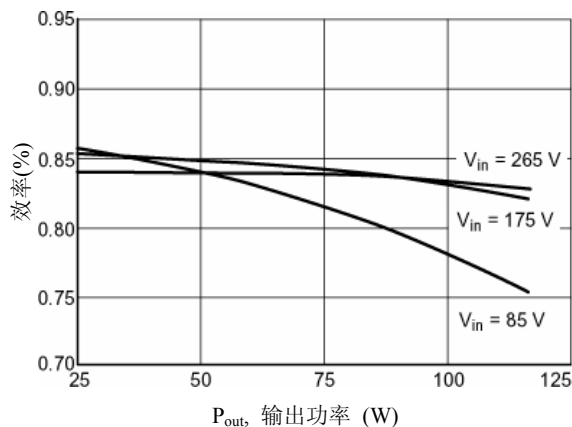


图41. 效率和输出功率的关系

如图41所示,线路输入电压越高,效率也越高。因为线路电压越高,维持负载所需的输入电流就越低,各个元件中的功率耗散也越低,从而可以得到效率更高的电路。在负载较高的条件下效率一般较低,因为这时线路电流大的多,因此功率MOSFET和输出整流器的功率耗散也会变大。出于相同的原因,在低线电压、高负载条件下,这种情况将加重。

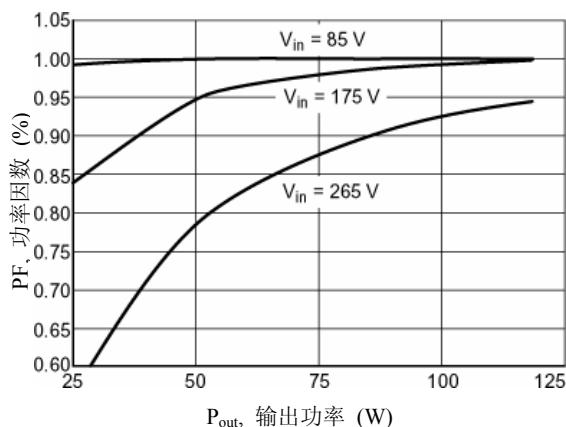


图42. 功率因数和输出功率的关系

如图42所示,功率因数随着输出功率的提高而改进。在较低的输出功率水平和高线电压下(175Vac和265Vac),电路工作在不连续模式。DCM状态下的运行迫使功率开关和输出整流器中的di/dt更快且峰值电流更高。线路电压越高、输出功率越小,则功率开关的导通时间就越短,功率因数水平随之下降越严重。在低输入线路电压条件下,器件工作在CCM,则无论输出功率和失真都不成问题。增大初级上的电感有助于扩展电路在CCM下工作的范围,而且有助于提高整个功率因数水平。

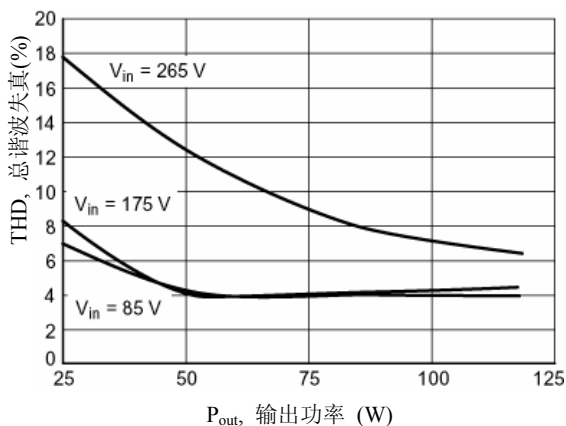


图43. THD和输出功率的关系

可以在图43上看到,和功率因数相似,THD在高线电压和低输出功率条件下要高的多。这也是因为控制器工作在不连续模式下所致。这将导致更快的di/dt和更高的失真水平。由于输入电流波形的快速变化,在EMI滤波器中滤波要难的多。和在高线电压、高输出功率条件下相反,由于控制器工作在CCM中,THD水平低要的多。增大初级电感将有助于扩大CCM工作的范围,并且减小THD。但是,更大的电感可能会超出一些设计限制。

第五章

四种方法的详细分析和结果

本章对用四种不同方法得到的结果进行了详细分析。根据给定的准则对几种拓扑进行比较分析和排列名次。本章分为两部分，第一部分介绍 PFC 预调节器，第二部分介绍总体设计。另外，也为设计师提供了不同功率水平的趋势图。

PFC预调节器段

本部分介绍了第一段的主要功率元件。为了便于比较四种电路，在此做出了某些假设。工作的详细数据均在输出功率为 150W 的情况下得到。表 8 对每种设计属性的尺寸和电气特性进行了归纳。

表 8. PFC 的详细比较

属性	P1- MC33260 CRM升压	P2- MC33260 CRM跟随升压	P3- NCP1650 CCM升压	P4- NCP1651 CCM反激
电感	607 μ H 5.54 Apk 1.76 in ² 2.97 in ³	200 μ H 5.54 Apk 1.25 in ² 1.57 in ³	800 μ H 3.4 Apk 1.17 in ² 1.64 in ³	800 μ H pri, 6.6 Apk 10 μ H sec, 7:1, 3.80 in ² 8.68 in ³
输出电容	220 μ F, 450 V 2.17 Apk 0.759 in ² 1.34 in ³	330 μ F, 450 V 2.81 Apk 1.49 in ² 2.05 in ³	100 μ F, 450 V 1.30 Apk 0.59 in ² 0.812 in ³	31,360 μ F, 16 V 21 Apk 1.14 in ² 1.60 in ³
功率开关	500 V 0.52 Ω R _{DS(on)} TO220 0.077 in ² 0.067 in ³	500 V 0.52 Ω R _{DS(on)} TO220 0.077 in ² 0.067 in ³	500 V 0.52 Ω R _{DS(on)} TO220 0.077 in ² 0.067 in ³	800 V 0.45 Ω R _{DS(on)} TO220 0.077 in ² 0.067 in ³
功率二极管	超快速 600 V, 4.0 A V _F = 1.28 V 轴向引线 0.034 in ² 0.017 in ³	超快速 600 V, 4.0 A V _F = 1.28 V 轴向引线 0.034 in ² 0.017 in ³	超快速 600 V, 8.0 A V _F = 2.5 V TO220 0.077 in ² 0.067 in ³	肖特基 80 V, 10 A V _F = 0.95 V TO220 0.077 in ² 0.067 in ³
频率范围	25~476 kHz	43~476 kHz	100 kHz固定	100 kHz固定
RCD箝定	N/A	N/A	N/A	13 k Ω , 6.0 W 0.01 μ F, 1.0 kV陶瓷 1.5KE250+1.5KE100 0.53 in ² 0.88 in ³
TVS	N/A	N/A	N/A	MUR460 .06 in ² .0094 in ³
控制	V-模式	V-模式	I-模式	I-模式
总体积	4.39 in ³	3.70 in ³	2.59 in ³	*11.30 in ³

*包括 PFC 和直流-直流段。

该表忽略了 EMI 成分，因为读数时没有对 EMI 滤波器进行优化。

关于 EMI 滤波器元件和它们对于电路性能的影响的全面描述，请参见第六章。

电感/变压器

根据表8中的结果，考虑到其电感值较小，MC33260跟随升压解决方案似乎代表了最便宜和最紧凑的板设计。但是，如前所述，P2的电感因受到大电流纹波的作用其磁通变化量大，因此在选择磁芯时必须特别仔细。而且，P1和P2工作在CRM中，具有大得多的电感电流。它们一般要求使用较大规格的导线来处理电流容量。设计电感时，减小DCR来降低导电损耗也很重要。严格比较两种CRM状态下的PFC，P1和P2的电感值差别证明了在相同的给定条件下，跟随升压确实可允许采用更小的电感。

从获得最紧凑板设计的角度来说，NCP1650不失为最佳的解决方案。因为工作在CCM中，它需要处理的峰值电流最小。因此，这个设计使用最小的磁芯EER28，这使得电感很小。P4采用了一个反激变压器，把第一段升压电感和第二段两开关正激变压器结合在了一起。因此，这是所有四种设计中最大和最昂贵的磁元件。但是，用这种可方法节约两个完整的磁性元件，而传统的升压PFC加上直流-直流段方法则需要三个磁性元件。具体尺寸参见第三章。

功率开关

前面三种方法中的功率开关是一个固定的参数。CRM工作下，MOSFET导通开关损耗最小，因为在MOSFET导通时电流为零。因此，重点主要放在如何使导电损耗最小化。P1和P2的峰值电流比P3中的高得多，因此它们的导电损耗更大，因为它们工作在CRM中，而P3是工作在CCM中。所以，P1和P2更加容易发生热损耗，因而在为MOSFET选择散热器时需特别注意。由于P4使用反激拓扑，所以需采用电压额定值更高的MOSFET，因为其漏-源电压超过500V。较高的漏-源电压是由反射的次级电压和增加到整流线路电压初级绕组漏感上的电压纹波造成的。为了减小漏感的影响并保护MOSFET，需在整流线路和功率开关的漏极之间增加阻尼电路。不幸的是，该电路降低了转换器的效率，尤其是在低线电压条件下，此时初级电流更高。更值得一提的是，P4可使用一个MOSFET，而两段法中需使要两个。

功率二极管

CRM工作显著简化了二极管的工作和选择，因为反向恢复时间已不重要。P3中的二极管必须能够承受为负载供电所需要的大电流及高反向电压；因此，选择了TO220封装来

处理高功率耗散。一个轴向引线超快速二极管对于P1和P3而言已足够，因为其功率耗散相当低。P4较低的电压额定值要求允许使用80V，10A的肖特基整流器。其没有开关损耗因而减小了功率耗散。但依然有大电流流过二极管，因而需要通过合适的散热来散发10W的导电损耗。如果板尺寸并非主要的考虑因素，TO247封装可能更加合适，因为它的功率额定值较大。

输出电容

P4使用最大的输出电容。尽管它初看上去似乎太大，但是，为了处理大电流纹波，采用这样大的电容是必要的。严格观察第一段，P3所使用的电容仅次于P4。这是跟随升压中存在的较大输出电压纹波的副产品。理想情况下，P1和P3使用相同的输出电容，但是正如第三章所述，P1需要额外的电容来将其输出电压纹波降低到一个可接受的水平。但是，一旦将两个段组合在一起，P4方法中所使用的电容相形之下就并不过大了。

表9. PFC预调节器段

属性	F1+P1 MC33260 CRM升压	F2+P2 MC33260 CRM跟随升压	F3+P3 NCP1650 CCM升压
*成本(\$)	7.20	7.75	6.44
THD@ 265 Vac (%)	17.6	21	6.26
效率@ 85 Vac (%)	88	89.5	87
功率密度 (W/in ³)	34.16	40.54	57.91
保持能力 (ms)	20	20	20

*成本仅用于预算目的，基于1,000件量供货价格计算。实际生产成本会有显著变化。

预调节器段的结果

表9只介绍了预转换器段的结果，而且为了公平起见，在此处不能将P4纳入比较。从成本和效率的角度来看，P1到P3是具有可比性的。如果在初级端采用一个较便宜的电感或MOSFET来进行节约，则通常须在次级端使用一个更好或者更大的元件进行补偿。在P3中，因为在初级

使用了廉价的电感来进行节约,所以次级端便要求使用较好的整流器。相反,P1和P2要求初级端使用较大的元件,于是次级端上的元件便可以是廉价品。从效率来说,请注意,在传统升压和跟随升压模式中可以观察到稍高一点的效率,部分原因在于MOSFET的低导电损耗。如果重点在于得到低THD水平,则P3是迄今为止最佳的解决方案。但是,设计P3的控制环路要复杂的多,因为工作在大于50%的占空比时,电流模式转换器要求斜升电压补偿。采用电压控制工作模式的P1和P2不需要斜升补偿。因此,如果希望设计简单,P1和P2可提供使用最少外部元件的最简单的电路。最佳的功率密度依然可通过P3获得,因为它使用的元件尺寸较小。以下是在75 W~150 W范围内观察到的效率曲线图。

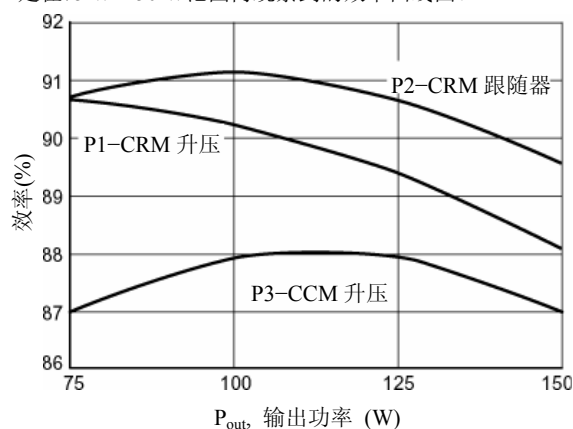


图44. MC33260、MC33260跟随升压和NCP1650的效率与输出功率的关系

可以在图 44 上看到, P1 和 P2 在低功率时显示出了与 P3 更高的效率,因为它们工作在 CRM 中,并且更适合低功率应用。在较高功率下,效率曲线开始收敛,这表明在该条件下 NCP1650 CCM 升压转换器更为适合。当输出功率消耗要求

增加时,CRM转换器的峰值电流增加,并且在功率开关和电感中将耗散更多功率。

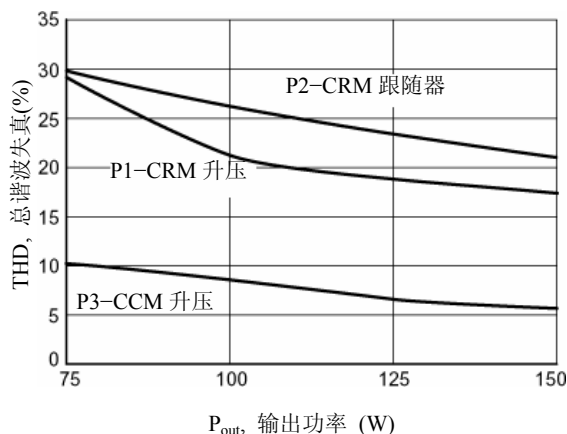


图45. MC33260、MC33260跟随升压和NCP1650的总谐波失真与输出功率的关系

如图45所示,P3在功率范围内表现出较低水平的THD,这是因为它的固定频率和较慢的di/dt特性便于在EMI段滤去。P1和P2中使用的MC33260控制器的最小关断时间为2.0μs,这将在穿越零点附近出现死区时间。这种现象在较低的功率范围内将更严重,因而失真更大。另外,工作频率随着线路和负载变化,使EMI滤波器的实现更加困难,而且THD也会因此变差。CRM转换器中更高的峰值电流也使THD增大。

整个功率段的结果

表 10 对 PFC 预调节器段和直流-直流段的结果进行了小结。目的在于指导用户基于对系统考虑,如成本、THD、效率和功率密度,选择正确的拓扑。直流-直流段分析的细节在第三章中说明。

表 10. 整个功率段

属性	F1+P1+D1 MC33260 CRM升压	F2+P2+D2 MC33260 CRM跟随升压	F3+P3+D3 NCP1650 CCM升压	F4+P4 NCP1651 CCM反激
*成本 (\$)	10.44	11.85	9.68	10.54
THD@265 Vac (%)	17.6	21	6.26	4.76
效率@85 Vac (%)	79.19	79.92	79.01	76.20
效率@115 Vac (%)	82.62	82.60	82.26	80.7
功率密度(W/in ³)	19.54	20.44	27.64	10.61

*成本仅用于预算目的,基于 1,000 件量供货价格计算。实际生产成本会有显著变化。

需要考虑的一些关键点：最廉价的解决方案可通过 CCM 升压获得，如表 12 所示。但是，根据成本结构和体积作进一步分析，可能会得到不一样的结果。CCM 升压 PFC 电路也可产生最低的 THD 水平。相比而言，MC33260 方法总是在通过 IEC1000-3-2 的边缘，因为其 CRM 工作模式。极力推荐用 NCP1650/1651 进行设计，以保证符合 IEC。就效率而言，四种方法产生的水平相似，尽管单段方法(NCP1651)具有最低的效率。NCP1651 更加适合在更高的输出电压（24V, 48V,及以上）条件下应用，因为在该条件下可获得较高的效率。12V 为这个功率水平的边界值。就便于使用这点而言，CRM 升压 PFC 电路布局最简单。因为 CRM 有一个内在稳定的电流环路，它不需要补偿。CCM 升压 PFC 电路要求使用更多的外部元件来稳定环路。但就功率密度而言，它仍是最紧凑的设计。在 NCP1651 中，功率密度由反激变压器决定。典型的两段 PFC 应用使用 3 个磁性元件，升压电感、直流-直流转换器和输出扼流圈。每个元件均要求在其周围留有一定空间，而且所有三个磁性元件的体积之和大致等于 NCP1651 变压器的体积。因此，功率密度可能会产生误导，应仅仅用作参考。

每种设计应就成本、属性和设计时间方面进行折衷。如果主要目标是以最低成本获得最低THD水平，那么CCM升压PFC是最佳的解决方案。如果便于实现更为重要，则CRM升压PFC控制器将成为最佳方案。

趋势图

以上提供的工作数据均在功率为150W的条件下得到。下列各表基于不同功率水平提供一些趋势，可以将其看作条件变化的敏感度分析。从中可以看到每种方法的各个功率水平上，每一设计属性的估计值。从而可以得到效率和成本假设。根据每个控制器的规格，表11和12覆盖了100W~400W的功率范围，表13覆盖了更广的100W~1000W范围，而表14只覆盖了100W~200W范围。

在制表时做了如下假设。C_{out}的值是基于30%的输出电压纹波和20ms的保持时间。初级电感L_p基于CCM的20%线路电流纹波。MC33260电路的初级电感基于40μs的开关时间。反激变压器的设计需要迭代并按各种元件的低功率耗散进行优化，以方便根据电路的电气特性选择元件。

表 11. 传统升压 – MC33260 的趋势图

传统升压 MC33260							
			MOSFET				
P _{out} (W)	L _p (μH)	C _{OUT} (μF)	V _{DS}	I _{DSpk}	R _{CS} (Ω)	R _{OCP} (kΩ)	C _T (nF)
100	910	49	500	3.70	0.7	12.6	7.15
150	606	73.5	500	5.54	0.7	18.9	7.15
200	455	98	500	7.39	0.7	25.2	7.15
250	364	123	500	9.24	0.7	31.5	7.15
400	227	196	500	14.78	0.7	50.5	7.15

表 12. 跟随升压 – MC33260 的趋势图

跟随升压 MC33260							
			MOSFET				
P _{out} (W)	L _p (μH)	C _{OUT} (μF)	V _{DS} (V)	I _{DSpk} (A)	R _{CS} (Ω)	R _{OCP} (kΩ)	C _T (nF)
100	519	229	500	3.70	0.7	12.6	1.01
150	346	343	500	5.54	0.7	18.9	1.01
200	259	457	500	7.39	0.7	25.2	1.01
250	208	571	500	9.24	0.7	31.5	1.01
400	130	914	500	14.78	0.7	50.5	1.01

表 13. 传统升压 – NCP1650 的趋势图

传统升压 NCP1650						
P _{out} (W)	L _P (μH)	C _{OUT} (μF)	MOSFET		D _{out}	
			V _{DS} (V)	I _{DSpk} (A)	V _R (V)	I _{FPK} (A)
100	1260	49	500	2.18	400	1.85
150	840	74	500	3.27	400	2.77
200	630	98	500	4.36	400	3.7
250	505	123	500	5.45	400	4.62
400	320	196	500	8.71	400	7.39
600	210	294	500	13.09	400	11.09
800	160	392	500	17.41	400	14.79
1000	125	490	500	21.85	400	18.48

表 14. 单段反激– NCP1651 的趋势图

单段反激 NCP1651								
P _{out} (W)	T1		C _{out}		MOSFET		D _{out}	
	L _P (μH) (注 1)	Np/Ns	I _{ripple} (A)	C _{out} (μF) (注 2)	V _{DS} (V) (注 3)	I _{DSpk} (A)	V _R (V) (注 3)	I _{FPK} (A)
100	800	9.0	19.8	31,360	800	4.75	80	42.7
150	800	5.0	22.0	31,360	800	9.62	100	48.1
200	800	3.0	22.8	31,360	800	18.22	150	54.6

1. 改变初级电感值对设计参数的影响不大，因此均使用了800μH的电感值。较高的电感值有助于降低MOSFET峰值电流，但需要非常大的电感来将纹波电流降低几个mA。仅仅为了得到电流纹波的微小改进而在磁元件上花费额外的成本这并不值得。
2. C_{out}值是为了满足±10%输出电压纹波要求和电容纹波电流要求所需要的电容值。如果有纹波电流额定值大、电容值小的电容，则可以使用较小的电容。
3. 所示的值是推荐采用的器件实际电气额定值。

如表 14 所示，输出功率范围较窄。由于采用了 12V 的低输出电压，很难向这个特定的拓扑提供更高的输出功率。功率水平越高则意味着电路中的峰值电流越大，这样就在各个元件上增加了额外的应力，并且极大地增加了功率损耗。在 200W 条件下，变压器匝数比必须保持较小，以使输出电容的电流纹波保持在可以控制的水平。然而，这便在变压器、MOSFET 和输出整流器中产生了更高的峰值电流。同时也增加了升压二极管的反向电压，因而需要使用 V_F 更大的器件。

但是，可以在较高输出电压条件下得到较高水平的输出功率，而又可以将元件的尺寸保持在合理范围内。比如，一个初级电感为 800μH、变压器匝数比为 5 的 200W/24V 电路，其 V_{DS} 为 495V，MOSFET 峰值电流为 8.70A，升压二极管反向电压为 99V，峰值电流为 43.5A，输出电容纹波电流为 20.82A。可以看到，这些数字比表 14 所示的更易控制，因而有可能获得良好的电路性能。

第六章

EMI考虑事项

背景

EMI，即电磁干扰，通常由电子设备产生，是器件中电压或电流快速变化的结果。变化越陡峭，噪声干扰就越严重。在典型的开关电源，如反激中，功率MOSFET的频繁开关会产生电压脉冲。每个脉冲在它的基频上都带有谐波。所有谐波一起在高频范围内形成噪声谱。

大多数电子器件会辐射某种类型的EMI或者射频信号。尽管该信号初看上去似乎很微弱，但当它开始对临近区域的其他设备形成干扰时，EMI就成为一个大问题了。这些干扰的严重程度，小到使电视机屏幕上出现雪花，大到严重干扰飞机上的飞行控制电子设备。

因为我们周围总是存在电子设备，并且它们总给我们带来很多负面影响，因此许多机构制定了条例，以减小噪声对我们日常生活的影响。联邦通信委员会即 FCC，是一个独立的美国政府机构，负责监管无线电、电视、卫星和有线通信以及控制射频干扰。作为这样一个机构，FCC 颁布了一套推荐使用的辐射限制标准，设备必须在其容许的范围内工作，以便不对其它设备造成干扰。

本应用注释中所列出的 EMI 电源要求即属于 FCC 第 15 部分 B 部分的规定。15 部分 B 部分适用于来自低功率设备如

电力载波系统、电视接收机及其接口的非故意RF干扰辐射源。这些设备所产生的射频频率可以被送回交流线路及所连接的其它设备上，从而引起干扰。

EMI干扰可以分成两大类，辐射干扰和传导干扰。辐射干扰通过空气传播，频率大多数在30MHz以上。传导干扰通过交流电源传播，频率大多数低于30MHz。

FCC规则的第15部分(1990)中所列出的辐射限制适用于频率在450kHz到30MHz之间，在电源线上的传导干扰和在10m或3.0m处测得的，频率在30MHz至960MHz及以上的幅射干扰。频率测量值的上限取决于设备所使用或产生的最高频率。

EMI测量结果

为了进行比较，只考虑了传导干扰，因此所有的测量值均低于30MHz的限制水平。FCC建议，在这个频率范围内EMI水平不应高于48 dBuV。

下面的图 46、47、50、51 显示了各个拓扑在加入 EMI 滤波器之前的传导干扰水平。图 48、49、52、53 则描述在添加了 EMI 滤波器之后，干扰水平如何降至 FCC 推荐的水平之下。

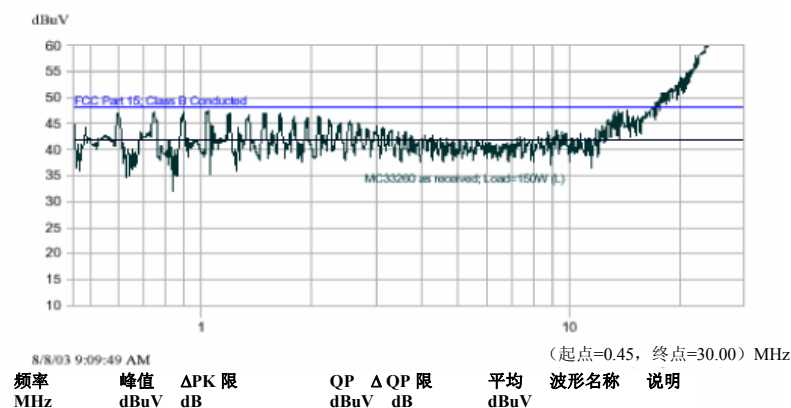


图 46. 不带 EMI 滤波器的 MC33260 板（线路线）

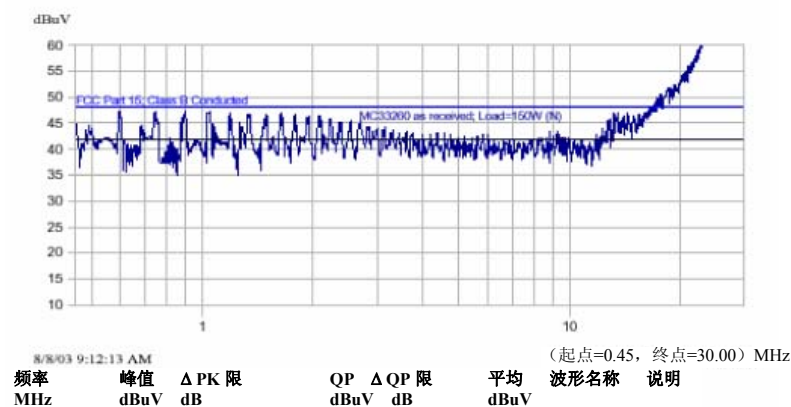


图 47. 不带 EMI 滤波器的 MC33260 板（中线）

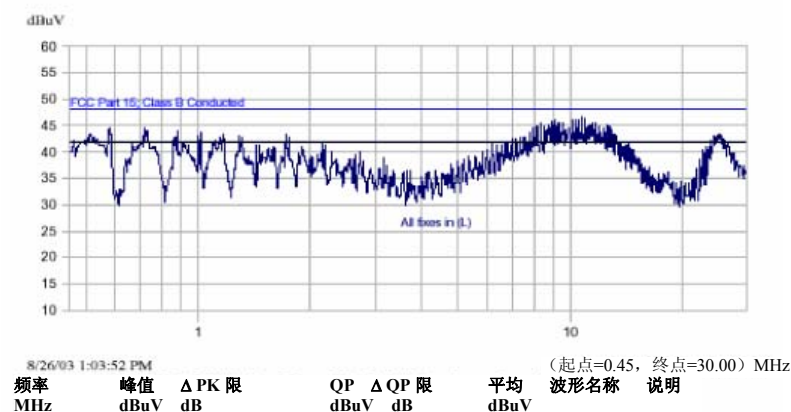


图 48. 带 EMI 滤波器的 MC33260 板（线路线）

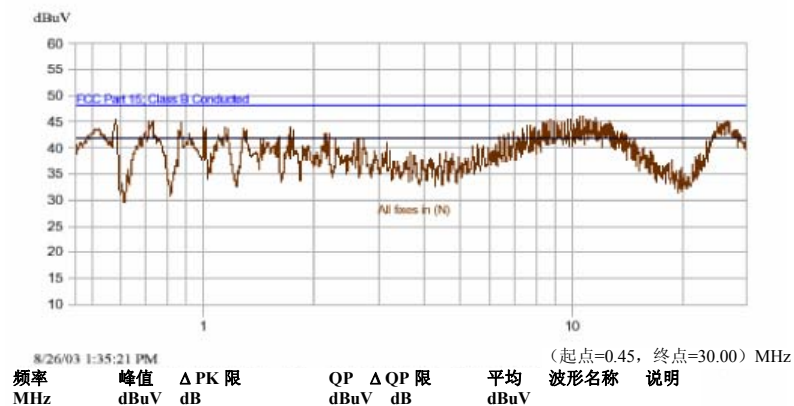


图 49. 带 EMI 滤波器的 MC33260 板（中线）

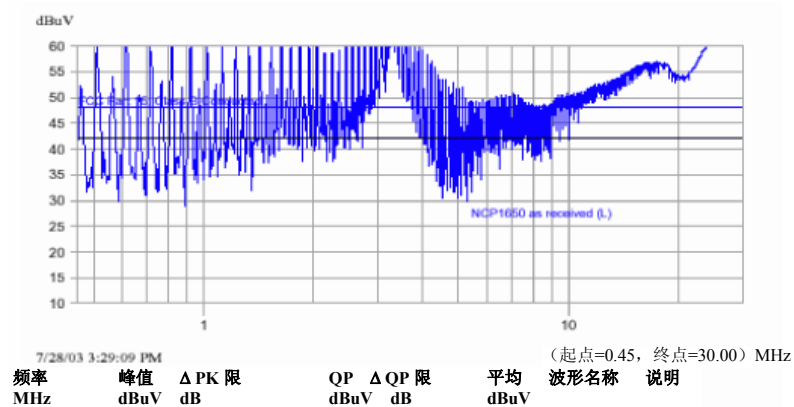


图 50. 不带 EMI 滤波器的 NCP1650 板（线路线）

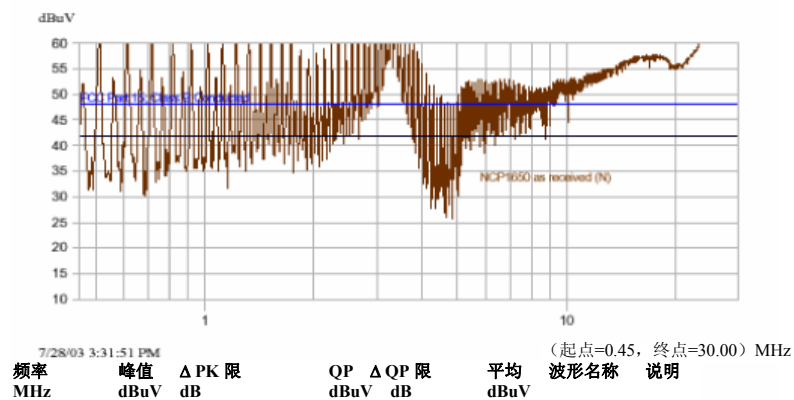


图 51. 不带 EMI 滤波器的 NCP1650 演示板（中线）

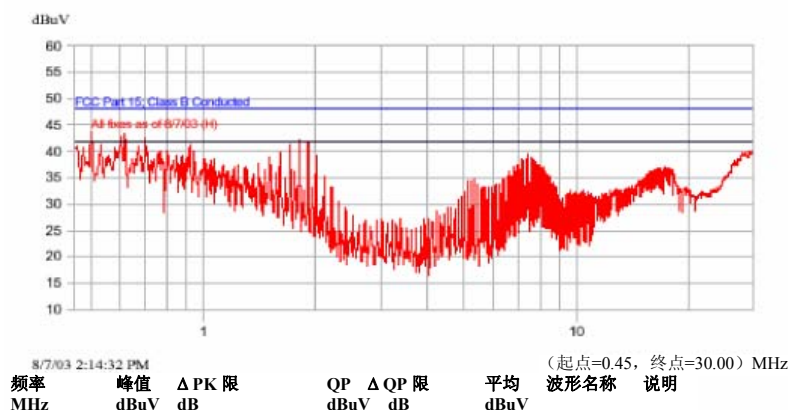


图 52. 带 EMI 滤波器的 NCP1650 板（线路线）

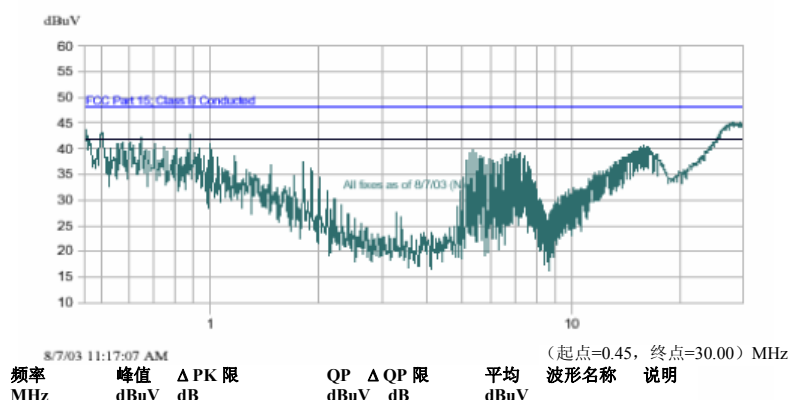


图 53. 带 EMI 滤波器的 NCP1650 板（中线）

对电路做了以下更改，以满足工作在电阻负载时的线路传导 EMI 要求

对 MC33260 的更改：

1. 添加了 Coilcraft 滤波器 BU10-6003R0B 作为交流接头后的第一个线路扼流圈。
2. 更改升压整流器为软恢复 MSR1560，并与 Ferronics 21-201-B 铁氧体磁环串联。
3. 更改功率 MOSFET 为“全填充”式封装，以减小它的对地电容。这里使用了 ST 微电子产的 STF9NK90Z (8.0 A, 900 V)。
4. 在漏极和地之间接入一个 RC 阻尼电路，($R=33\Omega$, $C=470\text{pF}$)，并且串联了一个小铁氧体磁环 (Ferronics 21-031-B)。阻尼电路充电时，该磁环将吸收电流脉冲中的一些高频能量。
5. 在输出电解电容后面添加了一个 LC 滤波器 ($L=47\mu\text{H}$, $C=0.1\mu\text{F}$)。
6. 增加一个 10Ω 电阻并与关断二极管 (D6) 串联。这个阻值是 FET 的发热量与 EMI 进行折衷的结果。
7. 在 Vcc 接头和 C4 之间添加了一个铁氧体磁环 (Fair-Rite 2773009112)。电路独立时，不需要使用这个磁环。

对NCP1650所做的更改:

对电路所做的更改归纳在下面的图 54 中。

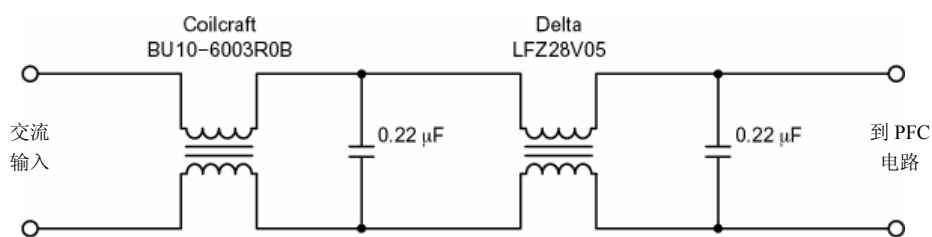


图 54. NCP1650 EMI 滤波器原理图

Coilcraft BU10-6003R0B: 电感 = 60 mH,
I_{ac max} = 3.0 A, DCR max = 40 mΩ
Delta Electronics LFZ28V05: 电感 = 22 mH,
I_{ac max} = 1.3 A, DCR max = 0.36 mΩ

值得注意的是，EMI 滤波器中使用的元件未进行优化。电感的选择是基于手头可用的元件，而并不一定是最好的选择。三个电路均使用类似尺寸的滤波器。但是，通常情况下 CRM 拓扑要求采用较大的电感扼流圈来滤除 EMI。因为 CRM 转换器使用可变频率开关且电感中的峰值电流较高，所以对元件的要求更高，设计更复杂。相比之下，CCM 转换器以固定频率工作，峰值电流较小。因此，EMI 滤波器的设计可更加紧凑、性价比更高，而且可以使用更小的共模电感。最后，尽管那些改动极大地提高了 EMI 性能，但对于电路的效率而言是不利的。在 MC33260 电路中添加阻尼器将提高功率耗散。由于电感的 DCR 和电容的 ESR，EMI 滤波器的功率损耗也会增加。

使用建议的 900 V TO247 MOSFET 来降低对地电容其代价是 $R_{DS(on)}$ 的增大（现在为 1.1–1.3 Ω），并会因此降低效率。同样值得注意的是，构建 EMI 滤波器是一个复杂和迭代的过程。它不仅需要使用特殊的设备，而且测量也需要在非常特定的条件下完成，以避免受到周围环境的寄生参数影响而造成读数错误。

出于这些原因，并且为了使本报告简明扼要，在此只公布了结果。另外，这些结果只能作为建议，不能替代主管机构的严格评定。为了完全符合 EMI 指令要求，装置必须经过指定测试单位的认证。

如果电源要投放欧洲市场，可能需要获得当地机构的认可，因为那里可能强制执行不同的要求。关于那些标准的更多信息，请联系 IEC（国际电工委员会），CENELEC（欧洲电工标准化委员会），或 CISPR（国际无线电干扰特别委员会）。

参考文献

以下参考文献与本文内容有关，对于感兴趣的读者而言，这只是可供使用的资料的一小部分

- [1] Ming Hain Chew, *Design of Power Factor Correction Circuit Using Greenline™ Power Factor Controller MC33260*, AND8016/D, Rev. 1, ON Semiconductor, June 2002.
- [2] Joel Turchi, *Power Factor Correction Stages Operating in Critical Conduction Mode* AND8123/D Rev. 0, ON Semiconductor, July 2003, <http://www.onsemi.com/pub/Collateral/AND8123-D.PDF>.
- [3] Joel Turchi, *An Innovative Controller for Compact and Cost-Effective PFC Solutions*, <http://www.chipcenter.com/analog/tn029.htm>
- [4] Lloyd H. Dixon, Jr., *High Power Factor Preregulators for Off-Line Power Supplies*, Power Supply Design Seminar, SEM-800, Unitrode (now Texas Instrument) 1991.
- [5] Lloyd H. Dixon, Jr., *Average Current Mode Control of Switching Power Supplies*, Application Note U140, Unitrode (now Texas Instrument).
- [6] Alan Ball, *NCPI650/D Power Factor Controller*, Rev. 1, ON Semiconductor, March 2002.
- [7] Alan Ball, *NCPI650 Benchtop Assistance*, AND8084, Rev. 0, ON Semiconductor, May 2002.
- [8] Marty Brown, *Power Supply Cookbook*, Butterworth-Heinemann 1994.
- [9] Tim Williams, *EMC for Product Designers: Meeting the European Directive*, third edition, Newnes 2001.
- [10] Roland W. Gubisch, *Inside FCC Part 15 and Canada's Corresponding Standards*, <http://www.cemag.com/99ARG/Gubish31.html> 1999.

附录

表 15. MC33260 转换器元件清单

参考标号	说明	产品型号	制造商
C1, C7	电容, 100 nF, 275 Vac X2	BC1601 ND	BC Components
C2	电容, 470 nF, 275 Vac	BC1601 ND	BC Components
C3	电容, 1.0 nF	—	—
C4	电容, 10 μ F, 铝电解, 25 V	—	—
Cout:传统升压	电容, 220 μ F, 铝电解, 450 V	ECO S2WP221CX	松下
Cout:跟随升压	电容, 330 μ F, 铝电解, 450 V	ECE S2WP331EX	松下
C8, C9	1.0 nF	—	—
C _T 传统升压	10 nF	—	—
C _T 跟随升压	560 pF	—	—
D1-4	1.0 A, 600 V快速恢复整流器	1N4934	安森美半导体
D5	4.0 A, 600 V开关电源整流器	MUR460E	安森美半导体
D6	1.0A, 100 V快速恢复整流器	1N4934	安森美半导体
F1	2.0 A	标准	—
Lp	扼流圈, 共模, 50 mH	47283900	Thomson Orega
L2: 传统升压	电感, 607 μ H, 轴向引线	SRW42EC U07V002	TDK
L2: 跟随升压	电感, 200 μ H, 轴向引线	10689480	Thomson Orega
Q1	MOSFET	IRFB11N50A	IR
R3	电阻, 47 Ω	—	—
R _{CS}	电阻, 0.7 Ω , 3.0W	—	—
R5, R6	电阻, 1.0 M	—	—
R _{OCP}	电阻, 20 k	—	—
*R13	电阻, 25 k	—	—
IC1	GreenLine小型功率因数控制器	MC33260	安森美半导体

*仅用于传统升压。

1. 不带阴影的值是未经EMI优化的滤波器初始值。

带阴影的值是经优化的 EMI 滤波器值, 参见第六章。

案例四

L6562A 控制的反激式 PFC 恒流输出电路及元件详细参数如下图所示，电路预定技术指标及参数如下表所示。

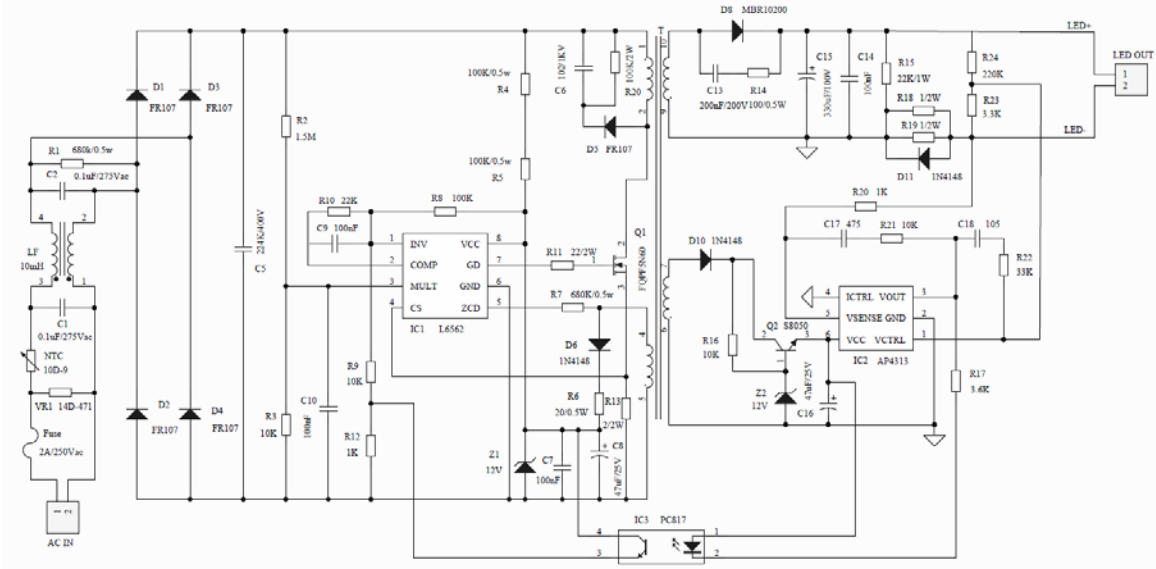
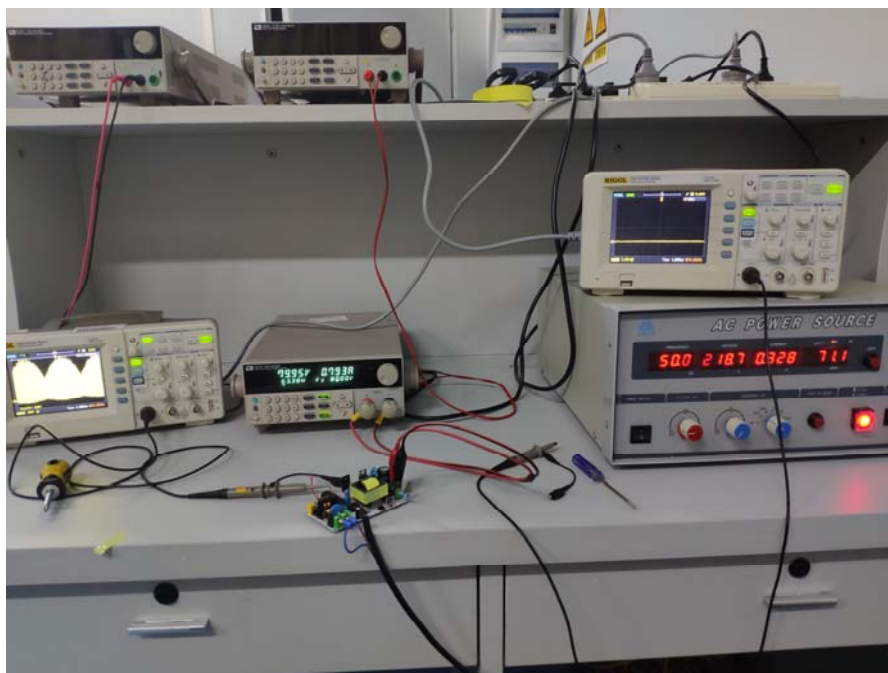


图 L6562A 控制的反激式 PFC 电路

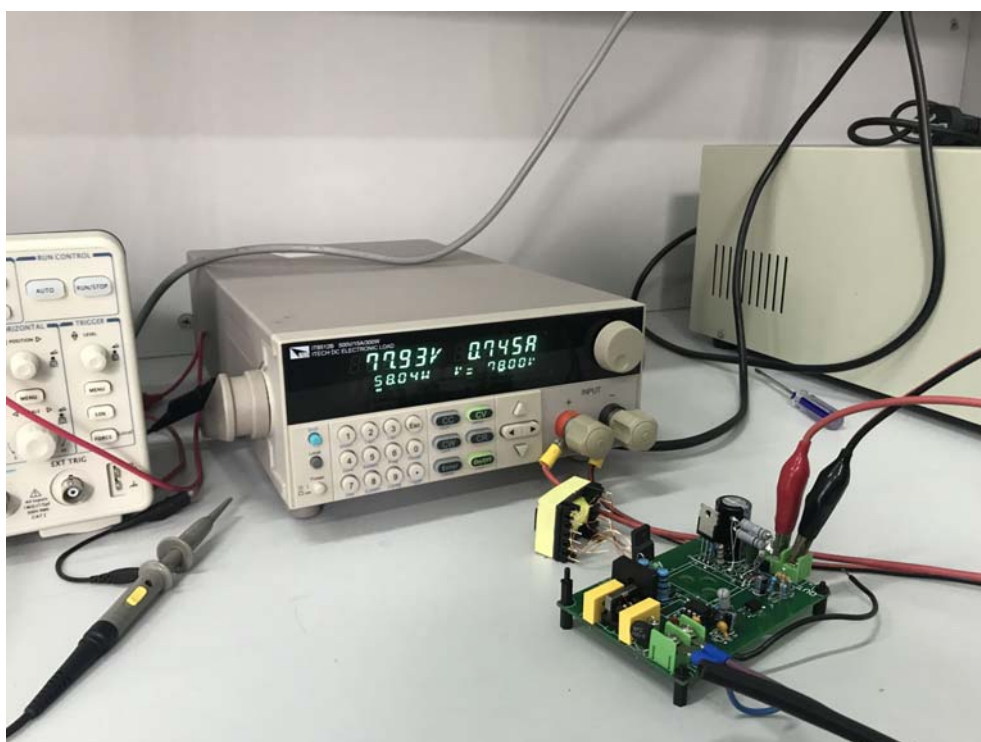
表 5 电路预定技术指标及参数

名称	描述	名称	描述
$V_{inmin}=100VAC$	最低交流输入电压	$I_o=750mA$	输出电流
$V_{inmax}=264VAC$	最高交流输入电压	$P_o=60W$	标称输出功率
$V_{out}=80VDC$	正常输出电压	$\eta=0.87$	典型效率@220VAC
$V_r=210VDC$	最大反射电压	$f_{smin}=25KHz$	最小开关频率

学生做的实验样品及测试的结果：



样机 1



样机 2



样机 3

Design Guide for Boost Type CCM PFC with ICE2PCSxx

Power Management & Supply



N e v e r s t o p t h i n k i n g .

Edition 2008-08-01

**Published by Infineon Technologies Asia Pacific,
168 Kallang Way,
349253 Singapore, Singapore**

**© Infineon Technologies AP 2005.
All Rights Reserved.**

Attention please!

The information herein is given to describe certain components and shall not be considered as a guarantee of characteristics.

Terms of delivery and rights to technical change reserved.

We hereby disclaim any and all warranties, including but not limited to warranties of non-infringement, regarding circuits, descriptions and charts stated herein.

Information

For further information on technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies Office (www.infineon.com).

Warnings

Due to technical requirements components may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies Office.

Infineon Technologies Components may only be used in life-support devices or systems with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system, or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body, or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.

Revision History:		2008-08	V1.0
Previous Version:		none	
Page	Subjects (major changes since last revision)		

Design Guide for Boost Type CCM PFC with ICE2PCSxx

License to Infineon Technologies Asia Pacific Pte Ltd

AN-PS0029

Liu Jianwei
Luo Junyang
Jeoh Meng Kiat

We Listen to Your Comments

Any information within this document that you feel is wrong, unclear or missing at all?
Your feedback will help us to continuously improve the quality of this document.
Please send your proposal (including a reference to this document) to:

<mailto:ap-lab.admin@infineon.com>



Table of Contents

Page

1	Introduction	5
2	Boost PFC design with ICE2PCXX	7
2.1	Target specification	7
2.2	Bridge rectifier	7
2.3	Power MOSFET and Gate Drive Circuit	7
2.4	Boost Diode	8
2.5	Boost inductor	9
2.6	AC line current filter	11
2.7	Boost Output Bulk Capacitance	12
2.8	Current Sense Resistor	12
2.9	Output voltage sensing divider	13
2.10	Frequency setting (only for ICE2PCS01)	13
2.11	AC Brown-out Shutdown (only for ICE2PCS02)	14
2.12	IC supply	15
2.13	PCB layout guide	16
3	Voltage loop and current loop compensation	17
3.1	How to achieve PFC function without sinusoidal reference sensing	18
3.2	Current Loop Regulation and Transfer Function	19
3.3	Voltage Loop Compensation	22
3.4	Design Example	28
3.5	Vcomp and M1, M2 value at full load condition	29

Abstract

ICE2PCS01/02 are the 2nd generation of Continuous Conduction Mode (CCM) PFC controllers, which employ BiCMOS technology. Its control scheme does not need the direct sine-wave sensing reference signal from the AC mains compared to the conventional PFC solution. Average current control is implemented to achieve the unity power factor. In this application note, the design process for the boost PFC with ICE2PCXX is presented and the design details for a 300W output power PFC with the universal input voltage range of 85~265VAC are included.

1 Introduction

The Pin layout of ICE2PCS01 and ICE2PCS02 is shown in Figure 1.

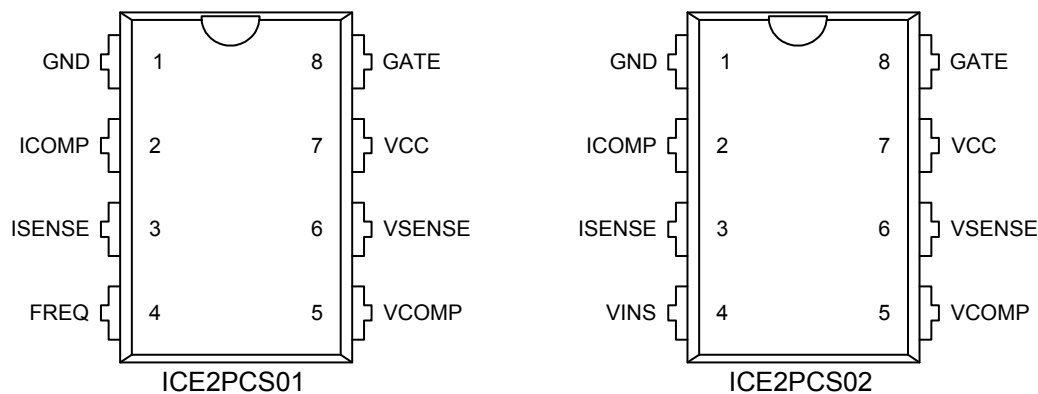


Figure 1 Pin Layout of ICE2PCS01 and ICE2PCS02

From the layout, it can be seen that most of Pins in ICE2PCS02 are the same as ICE2PCS01 except Pin 4. In ICE2PCS01, Pin 4 is to set the switching frequency. However, for ICE2PCS02, Pin 4 is for AC brown out detection and the switching frequency is fixed by internal oscillator at 65kHz. The typical application circuits of ICE2PCS01 and ICE2PCS02 are shown in Figure 2 and Figure 3 respectively.

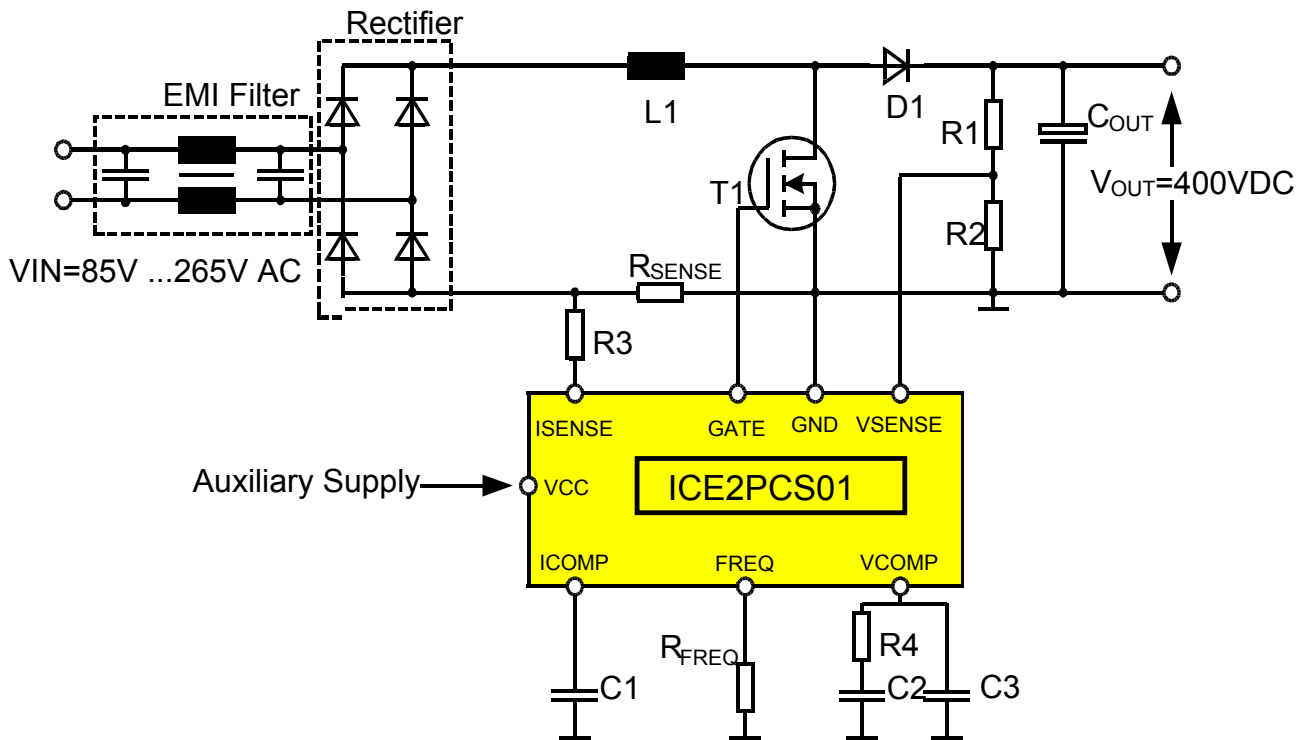


Figure 2 Typical application circuit of ICE2PCS01

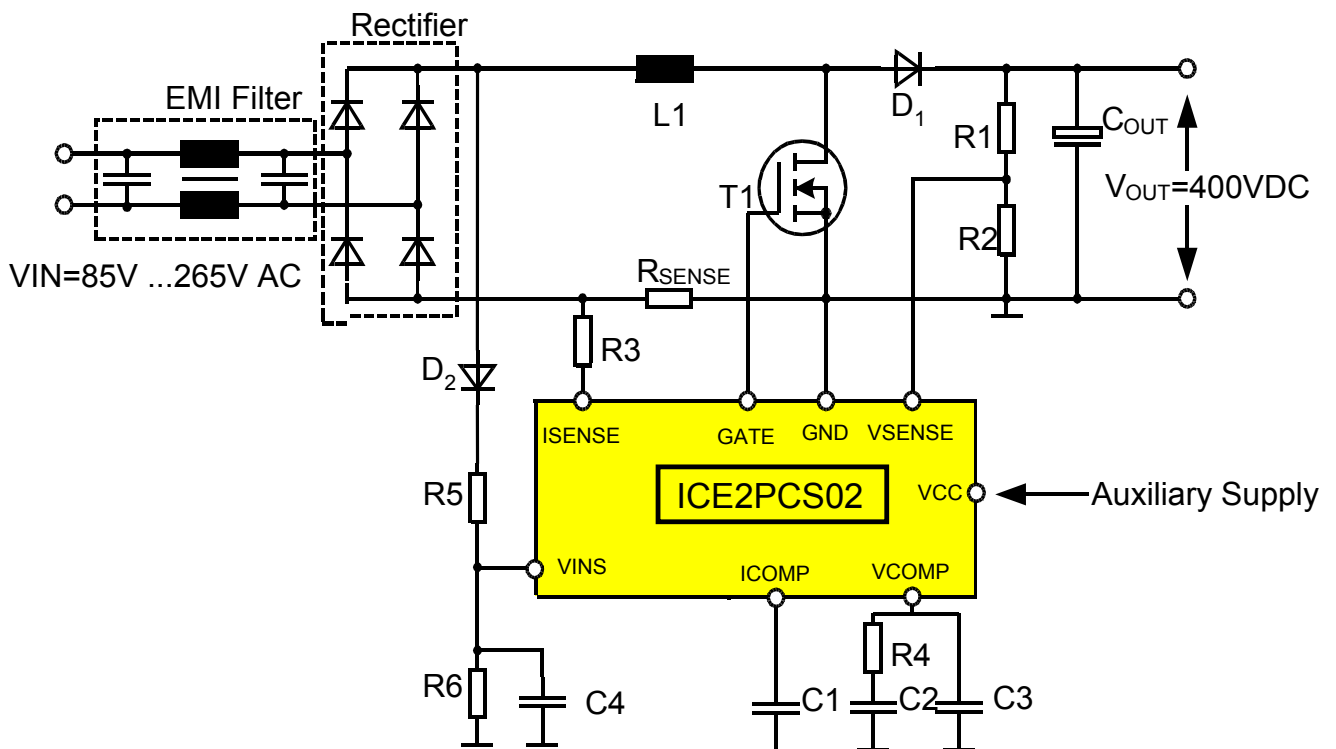


Figure 3 Typical application circuit of ICE2PCS02

2 Boost PFC design with ICE2PCXX

2.1 Target specification

The fundamental electrical data of the circuit are the input voltage range V_{in} , the output power P_{out} , the output voltage V_{out} , the operating switching frequency f_{SW} and the value of the high frequency ripple of the AC line current I_{ripple} . Table 1 shows the relevant values for the system calculated in this Application Note. The efficiency at rated output power P_{out} is estimated to 91 % over the complete input voltage range.

Input voltage	85VAC~265VAC
Input frequency	50Hz
Output voltage and current	390VDC, 0.76A
Output power	300W
Efficiency	>90% at full load
Switching Frequency	65kHz
Maximum Ambient temperature around PFC	70°C

Table 1 Design parameter for the proposed design

2.2 Bridge rectifier

In order to obtain 300W output power at 85 V minimum AC input voltage, the maximum input RMS current is

$$I_{in_RMS} = \frac{P_{out}}{V_{in_min} \cdot \eta} = \frac{300}{85 \cdot 90\%} = 3.92 A \quad (1)$$

and the sinusoidal peak value of AC current is

$$I_{in_pk} = \sqrt{2} \cdot I_{in_RMS} = \sqrt{2} \cdot 3.92 = 5.54 A \quad (2)$$

For these values a bridge rectifier with an average current capability of 6A or higher is a good choice. Please note here, that due to a power dissipation of approximately

$$P_{BR} = 2 \cdot V_F \cdot I_{in_RMS} = 2 \cdot 1V \cdot 3.92 A = 7.84 W \quad (3)$$

the rectifier bridge should be connected to an appropriate heatsink. Assuming a maximum junction temperature T_{Jmax} of 125°C, a maximum ambient temperature T_{Amax} of 70°C, the thermal junction-to-case R_{thJC} of approximate 2.5 K/W and the thermal case to heatsink R_{thCHS} of approximate 1K/W, the heatsink must have a maximum thermal resistance of

$$R_{thHS_BR} = \frac{T_{Jmax} - T_{Amax}}{P_{BR}} - R_{thJC} - R_{thCHS} = \frac{125 - 70}{7.84} - 2.5 - 1 = 3.52 K / W \quad (4)$$

2.3 Power MOSFET and Gate Drive Circuit

Due to the switch mode operation, the loss is only valid during the on-time of the MOSFET. The duty cycle of the transistor in boost converters operating in CCM at minimum AC input RMS voltage is

$$D_{on} = 1 - \frac{V_{in_min}}{V_{out}} = 1 - \frac{85}{390} = 0.782 \quad (5)$$

Since rms-values have the same effect on a system as DC-values, it is possible to calculate a characteristic duty cycle for the rms-value. Therefore, the on-state loss of the MOSFET in CCM-mode at a junction-temperature of 125°C is

$$P_{cond} = I_{in_RMS}^2 \cdot D_{on} \cdot R_{dson(125C)} \quad (6)$$

the MOSFET switching loss can be estimated as

$$P_{SW} = (E_{on} + E_{off}) \cdot f_{SW} \quad (7)$$

where, E_{on} and E_{off} are the switch-on and switch-off energy loss which can be found in MOSFET datasheet, f_{SW} is the switching frequency.

For 300W design, if SPP20N60C3 is used, the conduction loss is

$$P_{cond} = 3.92^2 \cdot 0.782 \cdot 0.42 = 5.05W$$

assuming the switching current is about 6A and gate drive resistance $R_g=3.6\Omega$, then the switching loss is

$$P_{SW} = (0.007mWs + 0.015mWs) \cdot 65kHz = 1.43W$$

the total loss is

$$P_{MOS_total} = P_{cond} + P_{SW} = 6.48W \quad (8)$$

the required heatsink for the MOSFET is

$$R_{thHS_MOS} = \frac{T_{Jmax} - T_{Amax}}{P_{MOS_total}} - R_{thJC_MOS} - R_{thCHS} = \frac{125 - 70}{6.48} - 0.6 - 1 = 6.89K/W \quad (9)$$

R_{thCHS} is the Rth of the insulation pad between MOSFET and heatsink.

Gate drive resistance is used to drive MOSFET as fast as possible but also keep dv/dt within EMI specification. In this 300W example, 3.6Ω gate resistor is chosen for SPP20N60C3 MOSFET.

Beside gate drive resistance, one 10kΩ resistor is also commonly connected between MOSFET gate and source to discharge gate capacitor.

2.4 Boost Diode

The boost diode D1 has big influence on the system's performance due to the reverse recovery behaviour. So the Ultra-fast diode with very low t_{rr} and Q_{rr} is necessary to reduce the switching loss. The new diode technology of silicon carbide (SiC) Schottky shows its outstanding performance with almost no reverse recovery behaviour. The switching loss due to the boost diode can be ignored with SiC Schottky diode. Only conduction loss is calculated as below.

$$P_{diode} = V_F \cdot I_{in_RMS} \cdot (1 - D_{on}) = 2V \cdot 3.92A \cdot (1 - 0.782) = 1.71W \quad (10)$$

To decide the current rating of a SiC diode, there is a rule of thumb - the SiC diode can handle output power P_{out} of 100 W to 120 W in a CCM-PFC-system per one rated ampere. For example, the SDD04S60 from Infineon Technologies is rated at a forward current $I_F = 4A$, so it is capable for a system of $P_{out} = 4 \cdot 100W = 400W$ system in minimum. Therefore, this diode should be suitable for the proposed design.

The required heatsink for boost diode is

$$R_{thHS_diode} = \frac{T_{Jmax} - T_{Amax}}{P_{diode}} - R_{thJC_diode} - R_{thCHS} = \frac{125 - 70}{1.71} - 4.1 - 1 = 27.06K/W \quad (11)$$

The SiC boost diodes often have a poor surge current handling capability. Therefore a so called bypass diode is necessary such as the diode D3 as Figure 4. For the proposed system, 1N5408 is suitable.

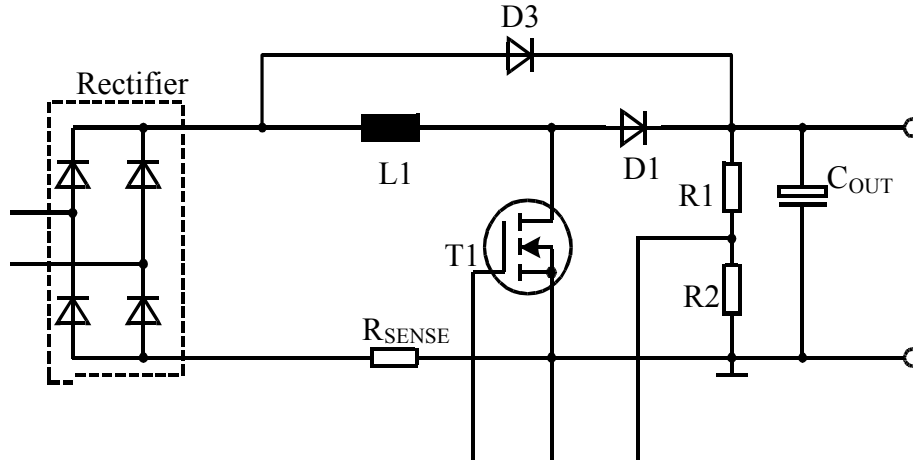


Figure 4 inrush current bypass diode

2.5 Boost inductor

The peak current that the inductor must carry is the peak line current at the lowest input voltage plus the high frequency ripple current. The high frequency ripple current peak to peak, I_{HF} , can be related to maximum input power and minimum input voltage as equation below.

$$I_{HF} = k \cdot \sqrt{2} \cdot \frac{P_{in_max}}{V_{in_min}} \quad (12)$$

Where, k must be kept reasonably small, and is usually optimized in the range of 15% to 25% for cost effective design based on the current magnetic component status. If k is too high, the larger AC input filter is required to filter out this ripple noise. If k is too low, the value of the inductance is too large and leads to big size of the magnetic core.

For example, we choose $k = 22\%$, then,

$$I_{HF} = 22\% \cdot \sqrt{2} \cdot \frac{P_{in_max}}{V_{in_min}} = 1.2A$$

The peak current passing through inductor is

$$I_{L_pk} = I_{in_peak} + \frac{I_{HF}}{2} = 5.54 + \frac{1.2}{2} = 6.14A \quad (13)$$

The boost choke inductance must be

$$L_{boost} \geq \frac{D \cdot (1 - D) \cdot V_{out}}{I_{HF} \cdot f_{SW}} \quad (14)$$

$D=0.5$ will generate the maximum value for the above equation.

$$L_{boost} \geq \frac{0.5 \cdot (1 - 0.5) \cdot 390V}{1.2A \cdot 65kHz} = 1.25mH$$

The magnetic core of the boost choke can be either magnetic powder or ferrite material.

(1) sendust powder toroid core

The required effective magnetic volume of the core, V_e , is

$$V_e \geq \mu_r \mu_0 L_{boost} \left(\frac{I_{L-pk}}{B_{max}} \right)^2 = 125 \cdot 1.257e-6 \cdot 6 \cdot 1.25mH \left(\frac{6.14A}{0.8T} \right)^2 = 11.6e-6m^3 = 11.6cm^3 \quad (15)$$

where, μ_r is the relative permeability of the material. It should be noted that μ_r changes with different DC magnetizing force H, and so does the inductance. As an example, Figure 5 illustrates the relationship between the Percent Permeability and the DC Magnetizing Force H.

μ_0 in (15) is the magnetic field constant which is equal to 1.257e-6; B_{max} is the maximum magnetic flux density for the selected magnetic material (for sendust, B_{max} is up to 0.8T.)

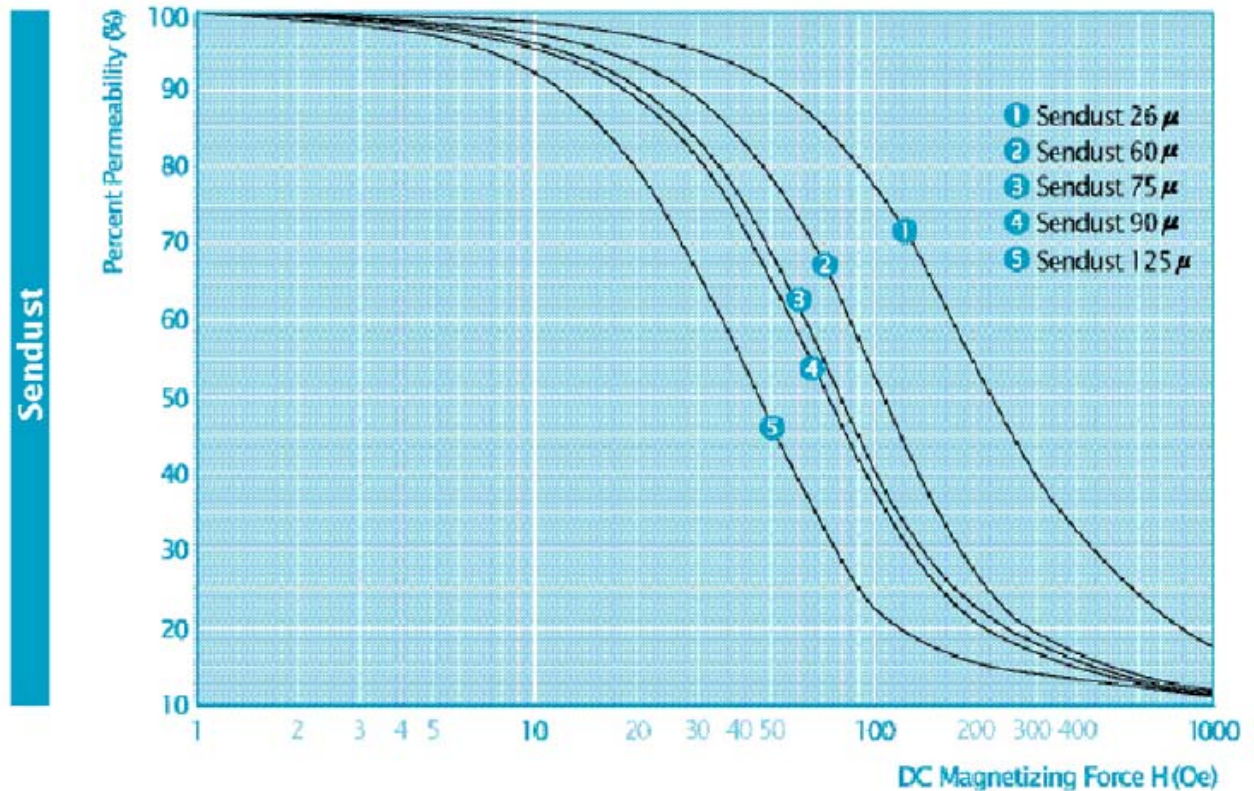


Figure 5 Percent Permeability and DC Magnetizing Force H (from Changsung)

Select a core with similar V_e value from the magnetic core datasheet. For example, the core type CS468125 from Chang Sung Corporation is selected. The parameters of CS468125 are $V_e=15.584cm^3$, $A_e=1.34cm^2$, $C=11.63cm$, $\mu_r=125$. The turn number of the boost choke winding is

$$N_{toroid_boost} = \sqrt{\frac{L_{boost} \cdot C}{\mu_r \mu_0 A_e}} = 83 \quad (16)$$

where, C is the magnetic path length and A_e is the effective magnetic cross section area.

To check the actual μ_r at low line, maximum power, the DC Magnetizing Force H is calculated

$$H = \frac{NI_{in-pk}}{C} = 50(Oe)$$

Then $\mu_r = 125 \cdot 50\% = 62.5$ according to Figure 5. The actual inductance can be re-calculated as

$L_{boost} = \frac{N^2 \mu_r \mu_0 A_e}{C} = 0.625mH$. Hence, the corresponding ripple current will be higher than the previously assumed value.

The copper loss of the winding wire can be calculated on I_{in_RMS} .

$$P_{L_boost} = I_{in_RMS}^2 \cdot R_{L_boost} \quad (17)$$

Select the proper wire type to fulfil the loss and thermal requirement for the choke.

(2) ferrite core

To make sure the ferrite core will not go into saturation, the turn number of the boost choke winding with ferrite core is

$$N_{ferrite_boost} \geq \frac{I_{L_pk} \cdot L_{boost}}{B_{max} \cdot A_{min}} \quad (18)$$

where, B_{max} is up to 0.3T according to ferrite material specification; A_{min} is the minimum magnetic cross section area.

The winding wire copper loss calculation is the same as in the above section of sendust powder toroid core.

2.6 AC line current filter

As described in section 2.5, there is high frequency ripple current peak to peak I_{HF} passing through boost choke. This ripple will also go into AC line power network. The current filter is necessary to reduce the amplitude of high frequency current component. The filtering circuit consists of a capacitor and an inductor as shown in Figure 6.

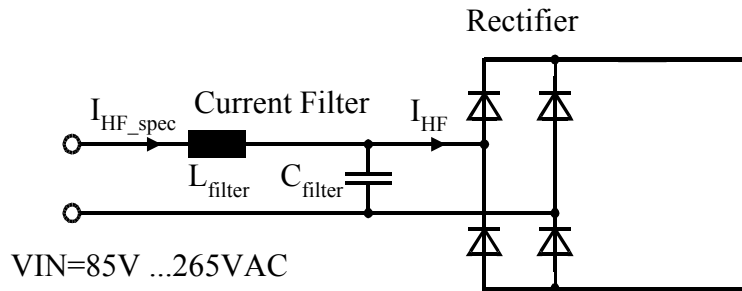


Figure 6 AC line current filter

The required L_{filter} is

$$L_{filter} \geq \frac{\frac{I_{HF}}{I_{HF_spec}} + 1}{(2\pi f_{SW})^2 C_{filter}} \quad (19)$$

normally there is one EMI X2 capacitor which can act as C_{filter} . In this example, if we define I_{HF_spec} as 0.2A peak to peak and assuming X2 capacitance 0.47 μF , then

$$L_{filter} \geq \frac{\frac{1.2A}{0.2A} + 1}{(2\pi \cdot 65kHz)^2 \cdot 0.47\mu F} = 89\mu H$$

The leakage inductance of EMI common mode choke can be used for current filter. If the leakage inductance is large enough, no need to add the additional differential mode inductor for filtering. Otherwise, a current filter choke is necessary. The calculation method for the current filter choke is the same as for boost choke.

2.7 Boost Output Bulk Capacitance

The bulk capacitance has to fulfill two requirements, output double line frequency ripple and holdup time.

(1) output double line frequency ripple limit.

The inherent PFC always presents $2 \cdot f_L$ ripple. The amplitude of ripple voltage is dependant on output current and bulk capacitance as below.

$$C_{out} \geq \frac{I_{out}}{\pi \cdot 2 \cdot f_L \cdot V_{out_ripple_pp}} \quad (20)$$

where, I_{out} is the PFC output current, $V_{out_ripple_pp}$ is the output voltage ripple (peak to peak), and f_L is the AC line frequency.

Please note that ICE2PCXX has enhance dynamic block which is active when V_{out} exceed $\pm 5\%$ of regulated level. The enhance dynamic block should be designed to work only during load or line change. During steady state with constant load, the enhance dynamic block should not be triggered, otherwise THD will be deteriorated. That means the target $V_{out_ripple_pp}$ must be lower than 10% of V_{out} . For this example, $V_{out}=390VDC$, then $V_{out_ripple_pp}$ must be lower than 39V. if we define $V_{out_ripple_pp}=12V$, then

$$C_{out} \geq \frac{I_{out}}{\pi \cdot 2 \cdot f_L \cdot V_{out_ripple_pp}} = 220\mu F \quad (21)$$

(2) holdup time requirement

After the PFC stage, there is commonly a PWM stage to provide isolated DC output for end user. Some applications, especially computing, have the holdup time requirement. It means that PWM stage should be able to provide the isolated output even if AC input voltage become zero for a short holdup time. The common specification for this holdup time is 20ms. If minimum input voltage for PWM stage is defined as 250VDC, then the bulk capacitance will be

$$C_{out} \geq \frac{2 \cdot P_{out} \cdot t_{holdup}}{V_{out}^2 - V_{out_min}^2} = \frac{2 \cdot 300W \cdot 20ms}{390^2 - 250^2} = 134\mu F \quad (22)$$

the final C_{out} capacitance should be higher value calculated from the above two requirements.

2.8 Current Sense Resistor

The current sense resistance is calculated based on the IC soft over current control threshold and peak current carried by boost choke.

When the I_{sense} signal reaches the soft over control threshold, IC will reduce the internal control voltage and accordingly the duty cycle is reduced in the following cycles. Finally the boost choke current is limited. According to IC datasheet, soft over current control threshold is -0.68V maximum. So the current sense resistor should be

$$R_{sense} \leq \frac{0.68V}{I_{L_pk}} = \frac{0.68V}{6.14A} = 0.11\Omega \quad (23)$$

According to Figure 2 and Figure 3, the transistor current as well as the diode current flows through R_{sense} . That means, when AC is powered up, a large negative voltage drop at R_{sense} will be observed when large inrush current in the range of about 150 A to 200 A flows through the resistor. It is therefore necessary to limit the current into Pin 2 (ISENSE) to 1 mA, which is realized with resistor R3. A value of $R3 = 220\Omega$ is sufficient for this resistor.

2.9 Output voltage sensing divider

The output voltage is set with the voltage divider represented by R_1 and R_2 in Figure 2 and Figure 3. First, choose the value of the lower resistor R_2 . Then the value of the upper resistor R_1 is

$$R_1 = \frac{V_{out} - V_{ref}}{V_{ref}} \cdot R_2 \quad (24)$$

where, V_{ref} is IC internal reference voltage for voltage sensing, 3V typical.

If $R_2 = 6k\Omega$,

$$R_1 = \frac{390 - 3}{3} \cdot 10k\Omega = 774k\Omega$$

It is recommended to take resistor values with a tolerance of 1% for R_1 and R_2 . Due to the voltage stress of R_1 , it is recommended to split this value into few resistors in series.

2.10 Frequency setting (only for ICE2PCS01)

The frequency of the ICE2PCS01 is adjustable in the range of 50 kHz up to 250 kHz. The external resistor R_{FREQ} according to Figure 7 programs a current which controls the oscillator.

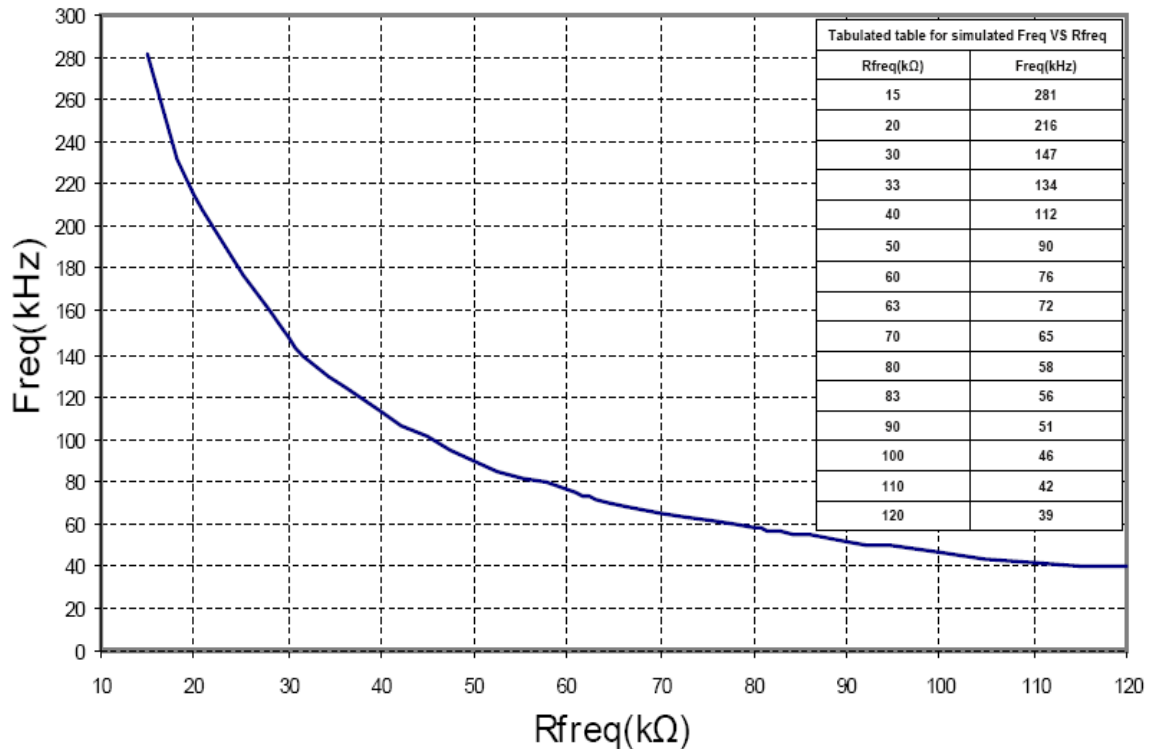


Figure 7 Resistor-frequency characteristic

2.11 AC Brown-out Shutdown (only for ICE2PCS02)

Brown-out occurs when the input voltage V_{AC} falls below the minimum input voltage of the design (i.e. 85V for universal input voltage range) and the VCC has not entered into the VCCUVLO level yet. For a system without input brown out protection (IBOP), the boost converter will increasingly draw a higher current from the mains at a given output power which may exceed the maximum design values of the input current and lead to over heat of MOSFET and boost diode. ICE2PCS02 provides a new IBOP feature whereby it senses directly the input voltage for Input Brown-Out condition via an external resistor/capacitor/diode network as shown in Figure 8. This network provides a filtered value of VIN which turns the IC on when the voltage at Pin 4 (VINS) is more than 1.5V. The IC enters into the standby mode and gate is off when VINS goes below 0.7V. The hysteresis prevents the system to oscillate between normal and standby mode.

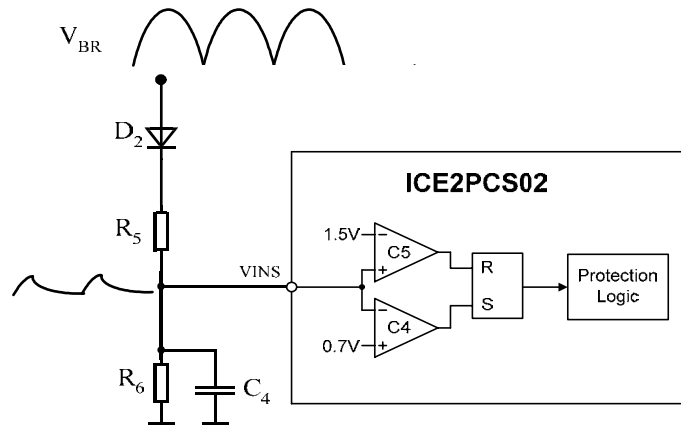


Figure 8 Block diagram of voltage loop

Because of the high input impedance of comparator of C4 and C5, R5 can be high ohmic resistance to reduce the loss. From the datasheet, the bias current on VINS Pin is 1 μ A maximum. In order to have the design consistence, the current passing through R5 and R6 has to be much higher than this bias current, for example 6 μ A. Then R6 is:

$$R_6 = \frac{0.7V}{6\mu A} = 117k\Omega \quad (25)$$

R6 is selected 120K Ω . R5 is selected by

$$R_5 = \frac{\sqrt{2} \cdot V_{AC_on} - 1.5V}{1.5V} \cdot R_6 \quad (26)$$

where, V_{AC_on} is the minimum AC input voltage (RMS) to start PFC, for example 70VAC.

$$R_5 = \frac{\sqrt{2} \cdot 70V - 1.5V}{1.5V} \cdot 120k\Omega = 7.8M\Omega$$

Due to the voltage stress of R5, it is recommended to split this value into few resistors in series.

C4 is used to modulate the ripple at the VINS pin. The timing diagram of VINS pin when IC enters brown-out shutdown is shown in Figure 9.

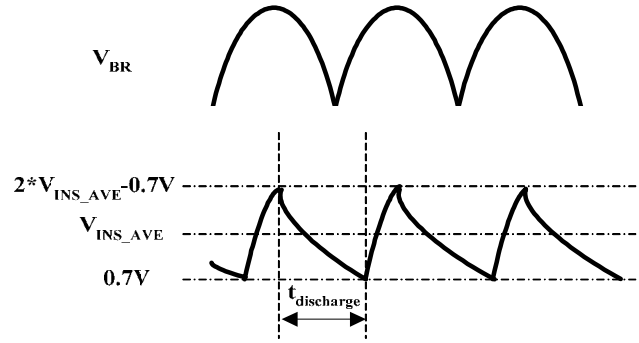


Figure 9 Timing diagram of VINS Pin when IC enters brown-out shutdown

If the bottom level of the ripple voltage touches 0.7V, PFC is in standby mode and gate is off. The ripple voltage defines PFC brown out off threshold of AC input voltage (RMS), V_{AC_off} . C_4 can be obtained from the following equation. Assuming $V_{INS_AVE} = \frac{R_6}{R_5 + R_6} \cdot V_{AC_off}$, where, V_{AC_off} is the maximum AC input voltage (RMS) to switch off PFC, for example 65VAC.

$$\left(2 \cdot \frac{R_6}{R_5 + R_6} \cdot V_{AC_off} - 0.7\right) \cdot e^{-\frac{t_{discharge}}{R_6 C_4}} = 0.7V \quad (27)$$

assuming $t_{discharge}$ is equal to half cycle time of line frequency, ie. $t_{discharge} = \frac{1}{2f_L}$, then

$$C_4 = \left(2f_L R_6 \ln \frac{2 \cdot \frac{R_6}{R_5 + R_6} V_{AC_off} - 0.7V}{0.7V}\right)^{-1} \quad (28)$$

$$C_4 = \left(2 \cdot 50Hz \cdot 120k\Omega \ln \frac{2 \cdot \frac{120k\Omega}{7.8M\Omega + 120k\Omega} 65V - 0.7V}{0.7V}\right)^{-1} = 140nF$$

2.12 IC supply

The IC supply voltage operating range is 11~26V.

There are two stages during IC turned on. First Vcc capacitor is charged from 0V to 7V, the IC internal regulator block starts to reset voltage at all external pins. The reset process will take about 10us. And then when Vcc voltage is charged to Vcc_on threshold, IC starts the soft start with gate switching. In the case of Vcc decoupling capacitance is too low such as 0.1uF, Vcc voltage may be charged up too fast and the time interval from Vcc=7V to Vcc_on is less than the reset time. Then the IC will not go through a proper soft start as the voltages at IC pins are not yet properly reset. To avoid such a problem, the delay circuitry is needed.

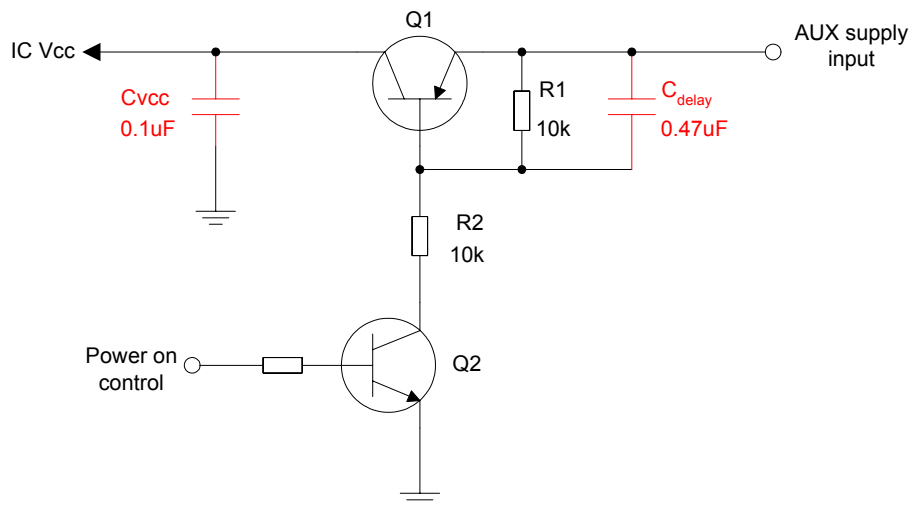


Figure 10 Vcc supply circuitry

Figure 10 is a typical circuitry to supply PFC controller. Q2 is NPN transistor and controlled by external “Power on” signal. When “Power on” signal is “high”, Q2 is turned on provides base current for Q1. Q1 is turned on accordingly to supply auxiliary power to IC Vcc. The reset delay time is adjustable by changing the RC time constant of R1, R2 and C_{delay}. The recommended values are shown in Figure 10 as 10kΩ, 10kΩ and 0.47uF respectively.

The same reset process also happens during IC power down when Vcc is discharged from Vcc_{off} to 7V. The reset time for power down is around 200us. Because IC is in power down mode with very low current consumption, typically 300uA only, the required Vcc capacitance for power down reset can be calculated as:

$$C_{VCC} \geq \frac{I_{power_down_max} \cdot t_{reset}}{V_{cc_off_min} - V_{reset}} = \frac{650\mu A \cdot 200\mu s}{10.4V - 7V} = 38.2nF \quad (29)$$

So the common Vcc decoupling capacitance 0.1uF is enough for reset delay requirement.

2.13 PCB layout guide

In order to avoid crosstalk on the board between power and signal path, and to keep the IC GND pin as “clean” from noise as possible, the PCB layout for GND must be taken care of properly. Below are some suggestions for GND connection and Figure 11 below illustrates as a good example.

- (1) Star connection rule for main power stage GND: the PCB tracks of MOSFET source, output load GND, IC auxiliary supply GND and shunt resistor are separated and connected together at bulk capacitor negative Pin.
- (2) Star connection rule for small signal IC GND: the IC external components which need to be connected to the small signal GND bus highlighted in red color. Such GND bus is connected to IC GND Pin.
- (3) Connection between main power stage GND and small signal IC GND: in Figure 11, a single PCB track in pink color directly connect IC GND pin to power stage star connection point - bulk capacitor negative. This is to ensure that the voltage between IC Isense Pin and IC GND Pin does not observe the switching rectangular noise current. The dark green and blue tracks denote for flowing paths of high frequency rectangular switching current.
- (4) Vcc decoupling capacitor Cvcc: the decoupling capacitor need to be placed close to IC Vcc and GND Pins as much as possible. The GND track of Cvcc (green color in Figure 11) should be connected at the point on the single PCB track connecting between IC GND Pin and power GND point so that the large gate charging current will not pass through the small signal GND bus.
- (5) Vsense capacitor Cvsense: to reduce noise in Vsense Pin, small capacitor up to 0.1uF can be added between Vsense Pin and small signal GND bus.

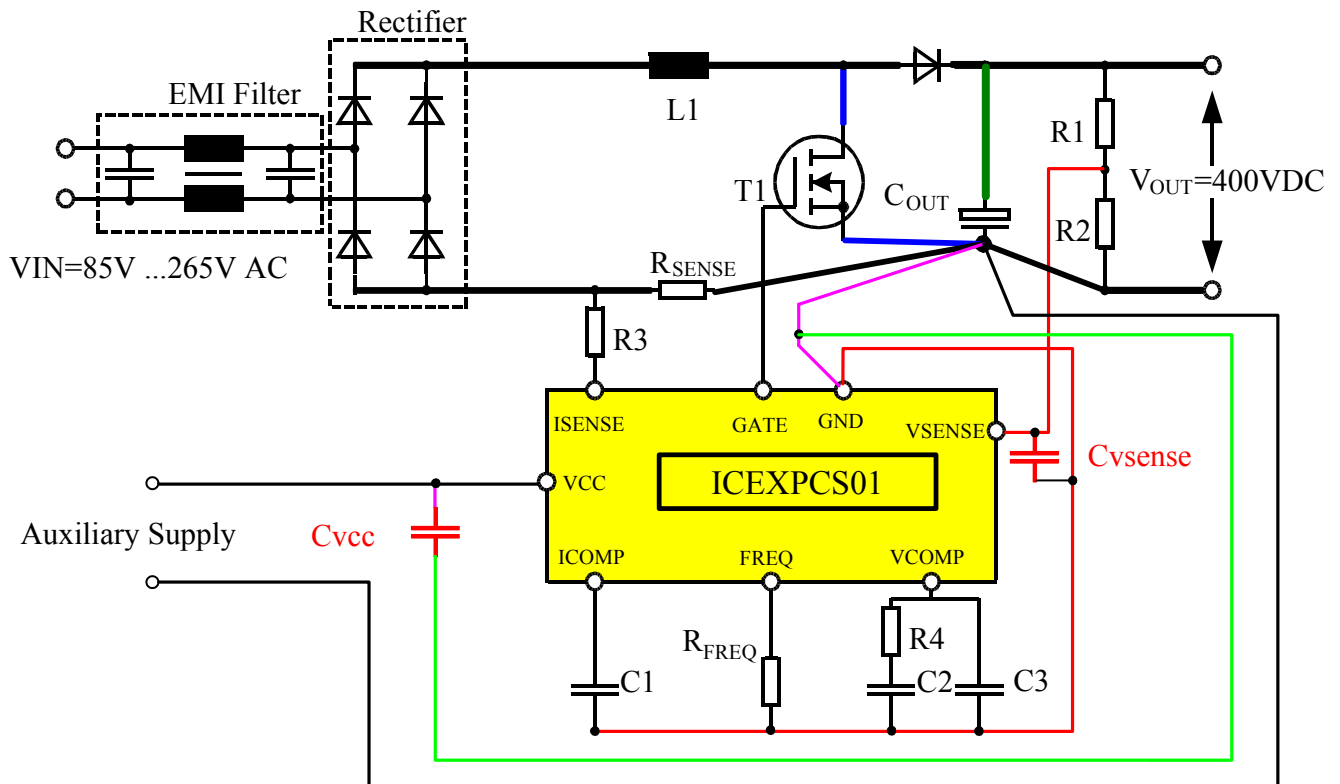


Figure 11 Good PCB layout illustration

3 Voltage loop and current loop compensation

This section provides a model and a tool for evaluating and improving the control loop characteristics of ICE2PCS02-based PFC pre-regulators in boost topology. The goal is not only to ensure a narrow bandwidth in order to achieve a high Power Factor, but also to have enough phase margin so as to make sure the system is stable over a large range of operating conditions. The design example is demonstrated as well.

Traditional diode rectifiers used in front of the electronic equipment draw pulsed current from the utility line, which deteriorates the line voltage, produce radiated and conducted electromagnetic interference, leads to poor utilization of the capacity of the power sources. In compliance with IEC 61000-3-2 harmonic regulation, active power factor correction (PFC) circuit is getting more and more attention in recent years. For low power up to 200W, discontinuous conduction mode (DCM) PFC is popular due to its lower cost. Furthermore, there is only one control loop, i.e. voltage loop, in its transferring control blocks. The design is easy and simple for DCM operation. However, due to its inherent high current ripple, DCM is seldom to be used for high power applications. In high power applications, continuous conduction mode (CCM) PFC is more attractive.

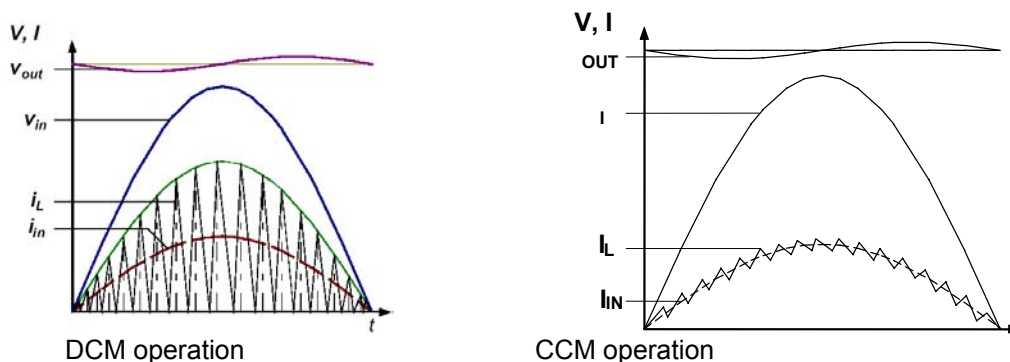


Figure 12 DCM and CCM PFC principle

3.1 How to achieve PFC function without sinusoidal reference sensing

3.1.1 Boost converter modeling

Figure 13 shows the inductor current waveform for boost converter operating in continuous conduction mode.

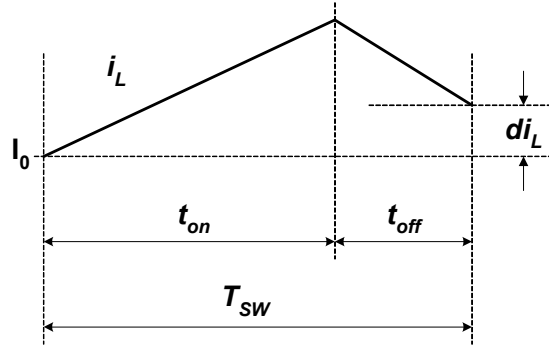


Figure 13 inductor current waveform of boost converter operating in CCM mode

assuming V_{in} is boost converter input DC voltage, V_{out} is the boost converter output voltage, L is the boost choke inductance, t_{on} is the on time duration in one switching cycle, t_{off} is the off time duration in one switching cycle, d_{off} is the off time duty cycle and T_{sw} is the time duration in one switching cycle.

During “on” interval,

$$\frac{di_L}{dt} = \frac{V_{in}}{L} \quad (30)$$

During “off” interval,

$$\frac{di_L}{dt} = \frac{V_{in} - V_{out}}{L} \quad (31)$$

And then the boost inductor current variation after one switching cycle is:

$$di_L = \frac{V_{in}}{L} \cdot t_{on} + \frac{V_{in} - V_{out}}{L} \cdot t_{off} = \frac{V_{in} - V_{out} \cdot d_{off}}{L} \cdot T_{SW} \quad (32)$$

The instant boost inductor current after n switching cycle is:

$$i_{L_n} = i_{L_n-1} + \frac{V_{in_n} - V_{out_n} \cdot d_{off_n}}{L} \cdot T_{SW} \quad (33)$$

3.1.2 PFC IC control principle with boost topology

PFC IC control block is inserted in boost converter as shown in Figure 14.

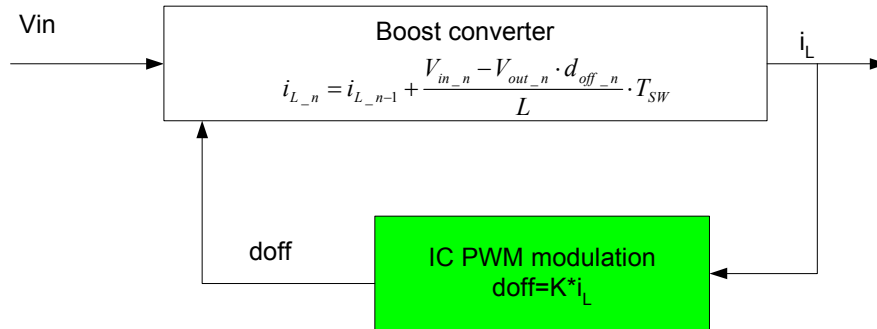


Figure 14 PFC current loop principle

IC senses boost inductor average current, and calculate the off duty cycle to be proportional to inductor current, and then send such off duty cycle back to boost converter. The negative feedback loop can be seen from Figure 14. A small disturb increasing on i_L will result in a little bit increasing on off duty cycle. The increasing off duty cycle will lead to decreasing of i_L after processing by boost converter. In the steady state,

$$V_{in} = V_{out} \cdot d_{off} = V_{out} \cdot K \cdot i_L \quad (34)$$

Where, K is the modulation gain defined by IC. It can be seen that boost inductor current shape follows AC input voltage and it is how PFC function to be achieved.

In the following sections, detail mathematical analysis of current loop and voltage loop will be described and the transfer function for each block is given in order to design IC external compensation network components.

3.2 Current Loop Regulation and Transfer Function

The detail block diagram of current loop for ICE2PCS02 is shown in the Figure 15. The boost converter stage K_{boost} is elaborated in S-plane.

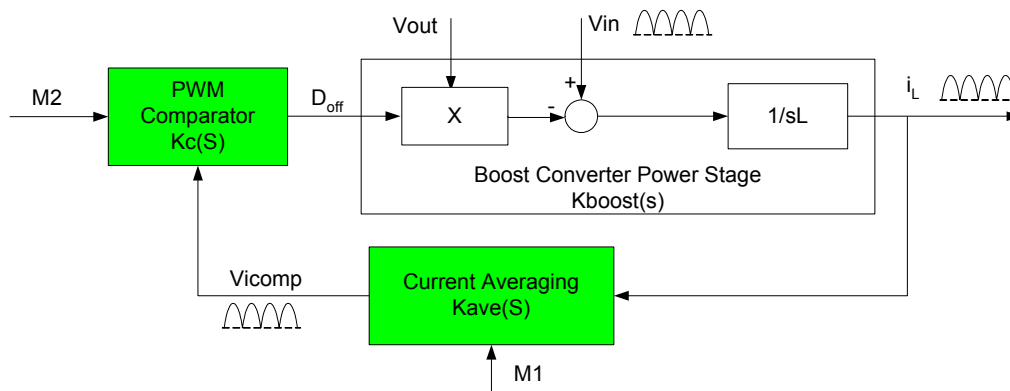


Figure 15 Block diagram of current loop

3.2.1 Current Averaging Circuit

IC sense the boost inductor current via shunt resistor R_{sense} as shown in Figure 2. The sensing signal is sent to I_{sense} Pin. As the voltage in I_{sense} Pin is negative signal together with switching ripple, IC need to do signal averaging and convert the polarity to positive for following PWM modulation blocks. The output of averaging block is V_{comp} voltage at I_{comp} Pin. the block diagram of current averaging block is shown in Figure 16.

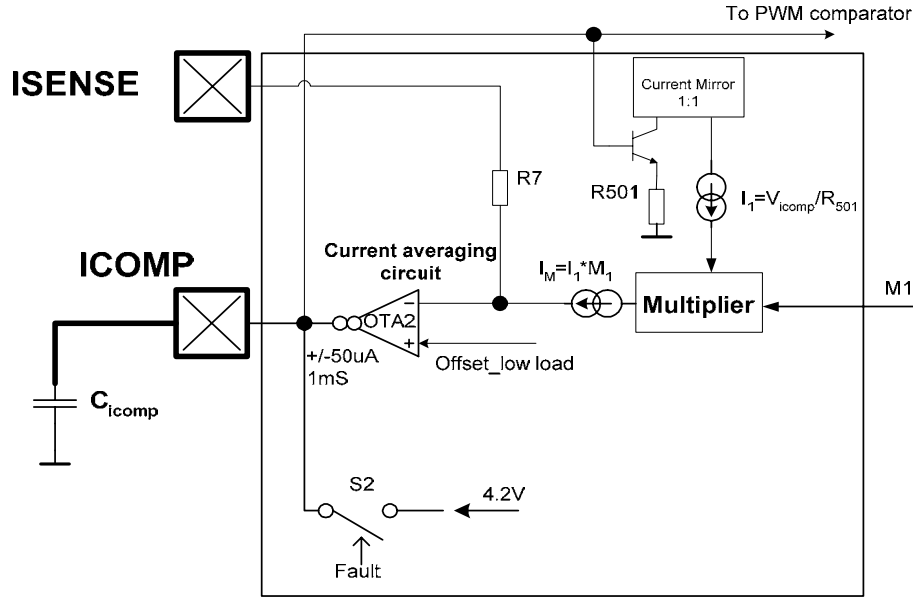


Figure 16 current averaging block diagram

The transfer function of averaging circuit block can be derived as below.

$$K_{AVE}(s) = \frac{V_{icomp}}{i_L} = \frac{\frac{K_1 R_{sense}}{M_1}}{1 + s \cdot \frac{K_1 C_{icomp}}{M_1 g_{OTA2}}} \quad (35)$$

where, K_1 is a ratio between R_{501} and R_7 which is equal to 4, C_{icomp} is the capacitor at I_{comp} Pin, g_{OTA2} is the trans-conductance of the error amplifier of OTA2 for current averaging, typical 1.0mS as shown in Datasheet, M_1 is the variable controlled by voltage loop.

The function of the averaging circuit is to filter out the switching current ripple. So the corner frequency of the averaging circuit f_{AVE} must be lower than the switching frequency f_{SW} . Then,

$$C_{icomp} \geq \frac{g_{OTA2} M_1}{K_1 \cdot 2\pi f_{AVE}} \quad (36)$$

3.2.2 PWM comparator block

The averaged V_{icomp} signal is sent to PWM comparator block and compared with internal triangular ramp signal to derive duty cycle. The timing diagram of this block is shown in Figure 17.

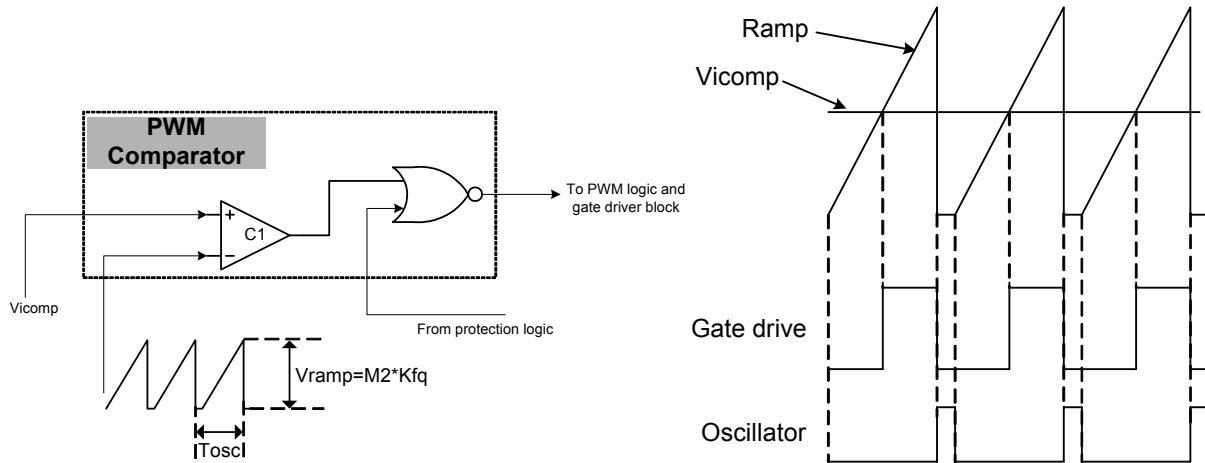


Figure 17 The block diagram and timing sequence of PWM comparator block

The operating principle is explained as following. Gate output is in “low” state in the beginning of the each cycle. Gate output is turned to “high” at the intersection of the triangular ramp signal and Vicomp signal. Gate output is turned to “low” by oscillator synchronous signal. Based on the operating principle, the transfer function of $K_C(s)$ is:

$$K_C(s) = \frac{d_{off}}{V_{icomp}} = \frac{1}{K_{FQ}M_2} \quad (37)$$

Where, K_{FQ} is a design constant which is equal to 9.183, M_2 is the variable controlled by voltage loop.

3.2.3 Boost converter stage

The transfer function of boost converter stage $K_{Boost}(s)$ can be obtain via State-Space Averaging method. Combining equation (30) and (31) by state –space averaging,

$$\frac{di_L}{dt} = \frac{V_{in}}{L} d_{on} + \frac{V_{in} - V_{out}}{L} d_{off} = \frac{V_{in} - V_{out} d_{off}}{L} \quad (38)$$

Make Laplace transformation for equation (38) with assuming V_{in} and V_{out} are constant for current loop analysis,

$$i_L(s) = (V_{in} - V_{out} d_{off}(s)) \frac{1}{sL} \quad (39)$$

The equation (39) has been described in current loop block diagram in Figure 15. **Although V_{in} is not physically sensed by circuit, the input sinusoidal signal is presented in transfer functions only if boost topology is applied.**

3.2.4 Open loop transfer function gain for current loop

The open loop gain of current regulation loop is:

$$G_C(s) = K_{AVE}(s) K_C(s) \frac{V_{out}}{sL} = \frac{\frac{K_1 R_{sense} V_{out}}{K_{FQ} M_1 M_2 L}}{s(1 + s \cdot \frac{K_1 C_{icomp}}{M_1 g_{OTA2}})} \quad (40)$$

The selected C_{icomp} must also meet the requirement that the cross over frequency of the current loop f_c is much lower than the switching frequency f_{SW} .

3.2.5 Steady state solution of I_L

Solving the current loop in Figure 15,

$$i_L(s) = (V_{in} - V_{out}d_{off}(s))\frac{1}{sL} = (V_{in} - V_{out}K_C(s)K_{AVE}(s))\frac{1}{sL}$$

$$i_L(s) = \frac{\frac{V_{in}}{sL}}{1 + \frac{V_{out}K_C(s)K_{AVE}(s)}{sL}} = \frac{\frac{V_{in}}{sL}}{1 + G_C(s)} \quad (41)$$

For AC line frequency which is much lower than f_c , then $|G_C(s)| \gg 1$

$$i_L(s) = \frac{\frac{V_{in}}{sL}}{1 + G_C(s)} \approx \frac{\frac{V_{in}}{sL}}{G_C(s)} = \frac{\frac{K_{FQ}M_1M_2V_{in}}{K_1R_{sense}V_{out}}}{1 + s \cdot \frac{K_1C_{icomp}}{M_1g_{OTA2}}} \quad (42)$$

For AC line frequency which is also much lower than f_{AVE} , $\left| s \cdot \frac{K_1C_{icomp}}{M_1g_{OTA2}} \right| \ll 1$, then the steady state I_L can be derived as

$$I_L = \frac{K_{FQ}M_1M_2V_{in}}{K_1R_{sense}V_{out}} \quad (43)$$

from the above steady state solution of I_L , it can be seen that the choke current I_L is always following input voltage V_{in} . This is how PFC function is achieved.

3.3 Voltage Loop Compensation

The control loop block diagram for ICE2PCS02 based CCM PFC is shown in Figure 18 and Figure 19. There are four blocks in the loop. IC PWM Modulator $G_2(s)$ has been discussed in above Section 3. the rest of them are Error Amplifier $G_1(s)$, nonlinear block $G_{NON}(s)$, boost converter output stage $G_3(s)$ and Feedback Sensing $G_4(s)$.

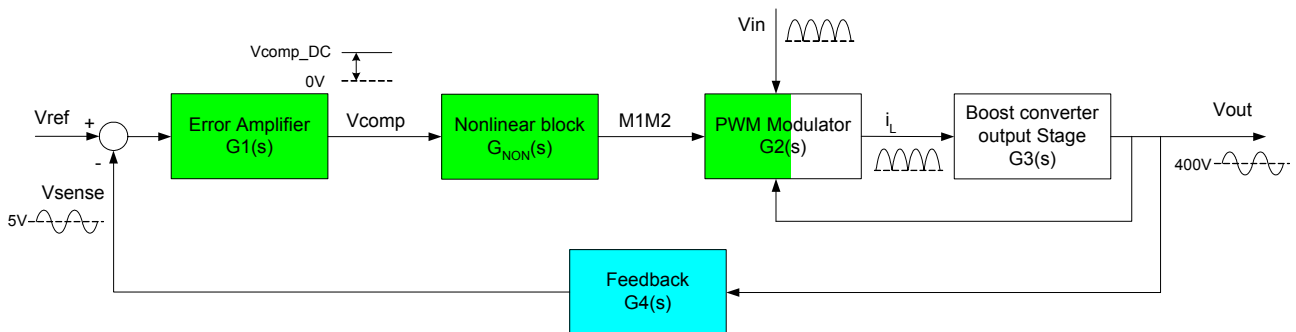


Figure 18 Large signal modeling of voltage loop

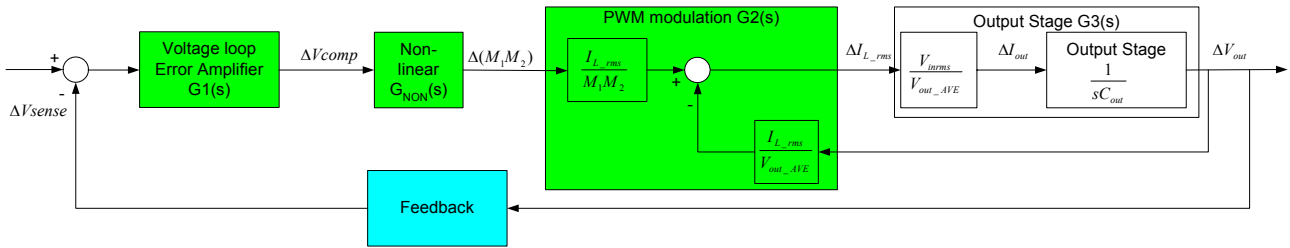


Figure 19 Small signal modeling of voltage loop

3.3.1 Boost converter output stage $G_3(s)$

Boost converter output stage is described as influencing of variation on i_L to bulk output voltage V_{out} . The transfer function of power stage, $G_3(s)$, is separated to two stages as:

$$G_3(s) = \frac{\Delta V_{out}}{\Delta I_{L_rms}} = \frac{\Delta V_{out}}{\Delta I_{out}} \cdot \frac{\Delta I_{out}}{\Delta I_{L_rms}} \quad (44)$$

where V_{out} is the DC output voltage, I_{out} the DC output current and I_{L_rms} is the boost inductor current.

3.3.1.1 $\Delta V_{out} / \Delta I_{out}$

Under the above assumption, the power stage can be modeled as illustrated in Figure 20: a controlled current source (with a shunt resistor R_e) that drives the output bulk capacitor C_{out} and the load resistance R_{out} ($= V_{out} / I_{out}$). The zero due to the ESR associated with C_{out} is far beyond the crossover frequency thus it is neglected.

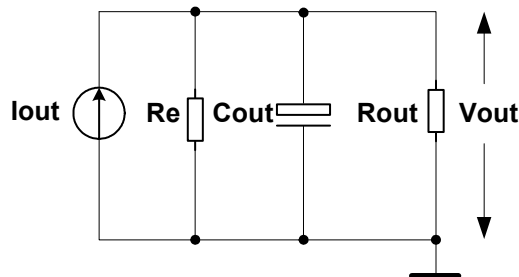


Figure 20 Power stage modeling

A few algebraic manipulations would show that the shunt resistor R_e always equals the DC load resistance R_{out} , thus it changes depending on the power delivered by the system. There are two kinds of load in the application. Two cases will give a different result in case of resistive load or constant power load. For purely resistive load, the AC load resistance equals R_o . In case of constant power load like additional isolated PWM DC/DC converter, the AC load resistance is equal to $-R_o$ (if the DC bus decreases, the current demanded of the PFC increases. hence the negative sign is shown.). As a result, the parallel combination with R_e tends to infinity and the two resistances cancel. The current source drives only the output capacitor. The result is summarized as below:

$$\frac{\Delta V_{out}}{\Delta I_{out}} = \begin{cases} \frac{R_{out}}{2(1 + s \cdot \frac{R_{out} C_{out}}{2})} & \text{Resistive Load} \\ \frac{1}{s C_{out}} & \text{Constant Power Load} \end{cases} \quad (45)$$

In this application note, the calculation is only carried out for constant power load situation

3.3.1.2 $\Delta I_{out} / \Delta I_{L_rms}$

The current source I_{out} can be characterized with the following considerations as shown in Figure 21. The low frequency component of the boost diode current is found by averaging the discharge portion of the inductor current over a given switching cycle. The low frequency current, averaged over a mains half-cycle yields the DC output current I_{out} :

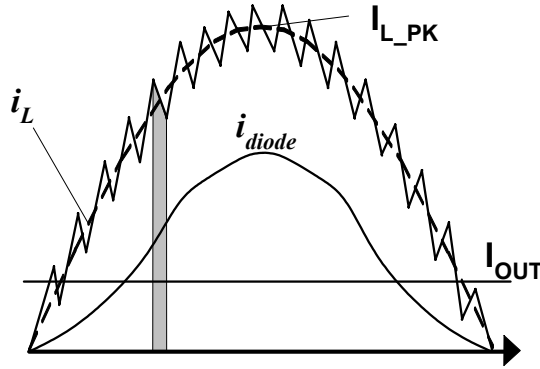


Figure 21 The simplification and characterization for I_{out} / I_{L_rms}

$$I_{out} = \frac{1}{\pi} \int_0^\pi (1 - D_{on}) I_{L_PK} \sin \alpha d\alpha = \frac{2V_{inrms} I_{L_rms}}{\pi V_{out_AVE}} \int_0^\pi (\sin \alpha)^2 d\alpha = \frac{V_{inrms} I_{L_rms}}{V_{out_AVE}} \quad (46)$$

So,

$$\frac{\Delta I_{out}}{\Delta I_{L_rms}} = \frac{V_{inrms}}{V_{out_AVE}} \quad (47)$$

where, D_{on} is the switch duty cycle; α is the instantaneous phase angle of the mains voltage, V_{inrms} is the input RMS voltage value, I_{L_PK} is choke current sinewave peak value and V_{out_AVE} is the averaging bulk DC output voltage.

In case of constant power load, the transfer function of $G_3(s)$ is:

$$G_3(s) = \frac{\Delta V_{out}}{\Delta I_{L_rms}} = \frac{\Delta V_{out}}{\Delta I_{out}} \cdot \frac{\Delta I_{out}}{\Delta I_{L_rms}} = \frac{V_{inrms}}{V_{out_AVE}} \cdot \frac{1}{s C_{out}} \quad (48)$$

3.3.2 Small signal transfer function of $\Delta V_{out} / \Delta(M_1 M_2)$ for voltage loop analysis

There is a internal feedback from V_{out} to $G_2(s)$. this inner loop has to be solved to obtain the transfer function of $\Delta V_{out} / \Delta(M_1 M_2)$. Rewrite the equation (43) at input voltage RMS point:

$$I_{L_rms} = \frac{K_{FQ} M_1 M_2 V_{inrms}}{K_1 R_{sense} V_{out}} \quad (49)$$

making a perturbation on I_{L_rms} , (M_1M_2) , V_{out} , then

$$\Delta I_{L_rms} = \frac{I_{L_rms}}{M_1M_2} \Delta(M_1M_2) - \frac{I_{L_rms}}{V_{out_AVE}} \Delta V_{out} \quad (50)$$

replacing ΔI_{L_rms} by $\Delta V_{out}/G_3(s)$ according to voltage loop block diagram,

$$\frac{\Delta V_{out}}{G_3(s)} = \frac{I_{L_rms}}{M_1M_2} \Delta(M_1M_2) - \frac{I_{L_rms}}{V_{out_AVE}} \Delta V_{out} \quad (51)$$

then the transfer function of dV_{out}/dV_{comp} is

$$G_{23}(s) = \frac{\Delta V_{out}}{\Delta(M_1M_2)} = \frac{\frac{V_{out_AVE}}{M_1M_2}}{\frac{V_{out_AVE}^2 C_{out}}{I_{L_rms} V_{inrms}} s + 1} = \frac{\frac{V_{out_AVE}}{M_1M_2}}{\frac{K_1 R_{sense} V_{out_AVE}^3 C_{out}}{K_{FQ} M_1 M_2 V_{inrms}^2} s + 1} \quad (52)$$

$$\text{With } f_{23} = \frac{1}{2\pi \frac{K_1 R_{sense} V_{out_AVE}^3 C_{out}}{K_{FQ} M_1 M_2 V_{inrms}^2}},$$

$$G_{23}(s) = \frac{\Delta V_{out}}{\Delta(M_1M_2)} = \frac{\frac{V_{out_AVE}}{M_1M_2}}{1 + \frac{s}{2\pi f_{23}}} \quad (53)$$

3.3.3 Nonlinear block $G_{NON}(s)$

The Vcomp voltage is sent to nonlinear gain block. The output of nonlinear is two internal variables, M1 and M2. The two variables are used to define boost choke current amplitude I_L as in equation (43). The characteristic of nonlinear gain block is shown in Table 2 and Figure 22. The small signal gain between $\Delta(M1*M2)$ and ΔV_{comp} can be derived as well at different operating point.

Vcomp	M1	M2	M1*M2
0.00	4.686E-02	4.964E-04	2.326E-05
0.25	4.685E-02	7.072E-04	3.313E-05
0.50	4.665E-02	1.199E-03	5.595E-05
0.75	4.685E-02	3.292E-03	1.542E-04
1.00	4.823E-02	3.224E-02	1.555E-03
1.25	8.153E-02	1.075E-01	8.766E-03
1.50	1.261E-01	1.921E-01	2.423E-02
1.75	1.901E-01	2.796E-01	5.316E-02
2.00	2.747E-01	3.686E-01	1.013E-01
2.25	3.768E-01	4.590E-01	1.729E-01
2.50	4.884E-01	5.523E-01	2.697E-01
2.75	5.992E-01	6.539E-01	3.918E-01
3.00	6.992E-01	7.794E-01	5.449E-01
3.25	7.816E-01	9.669E-01	7.557E-01
3.50	8.443E-01	1.287E+00	1.087E+00
3.75	8.888E-01	1.802E+00	1.601E+00
4.00	9.184E-01	2.442E+00	2.243E+00
4.25	9.339E-01	2.911E+00	2.719E+00

4.50	9.350E-01	2.911E+00	2.722E+00
4.75	9.351E-01	2.911E+00	2.722E+00
5.00	9.351E-01	2.911E+00	2.722E+00

Table 2 nonlinear block characteristic data

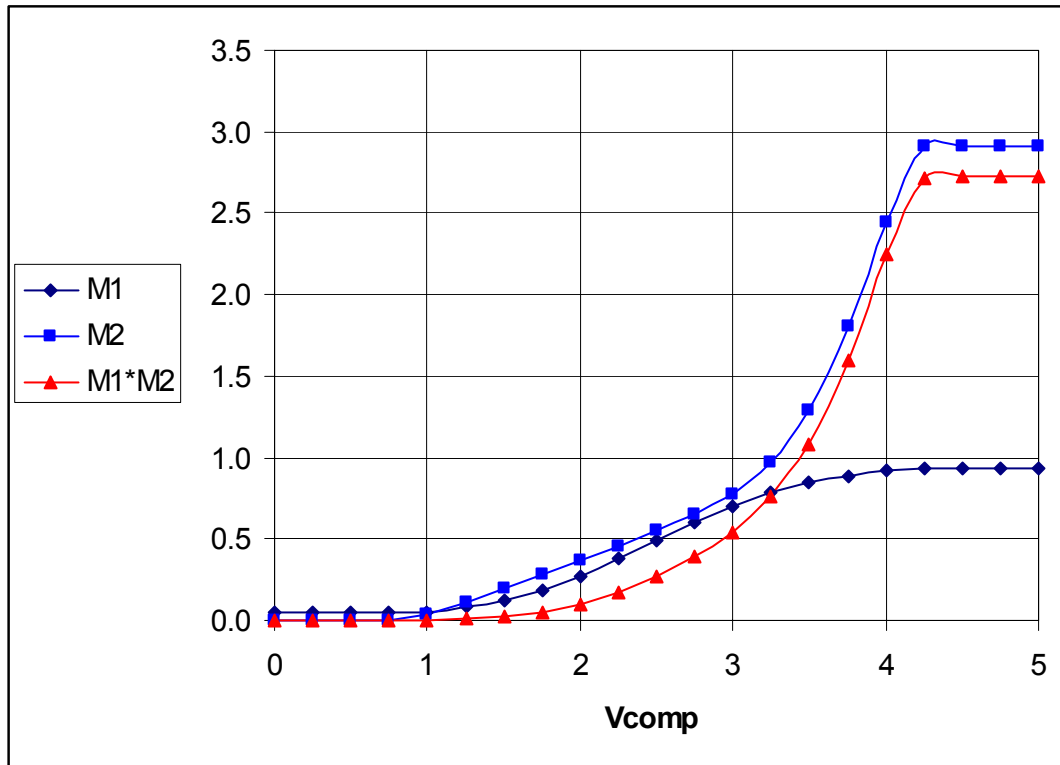


Figure 22 The characteristics of nonlinear block

3.3.4 Error Amplifier compensation $G_1(s)$

The circuit of error amplifier compensation circuit is shown in Figure 23. The sensing voltage V_{sense} is compared to internal reference voltage 3V typical. The difference between V_{sense} and internal reference is sent to transconductance error amplifier and converted to a current source to charge or discharge the RC components in V_{comp} Pin.

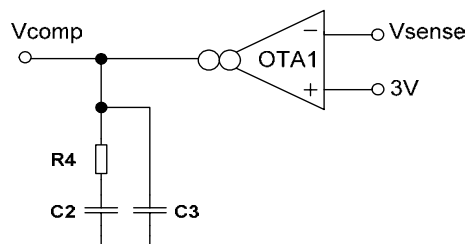


Figure 23 Error Amplifier compensation $G_1(s)$

The transfer function is:

$$G_1(s) = \frac{\Delta V_{comp}}{\Delta V_{sense}} = \frac{\Delta V_{comp}}{\Delta I_{OTA1}} \cdot \frac{\Delta I_{OTA1}}{\Delta V_{sense}} = \frac{1 + sR_4C_2}{(C_2 + C_3)s(1 + s\frac{R_4C_2C_3}{C_2 + C_3})} \cdot g_{OTA1} \quad (54)$$

where, g_{OTA1} is the trans-conductance of OTA1, 42uS typically for ICE2PCS02.

$$\text{With } f_{CZ} = \frac{1}{2\pi R_4 C_2} \text{ and } f_{CP} = \frac{1}{2\pi \frac{R_4 C_2 C_3}{C_2 + C_3}},$$

$$G_1(s) = \frac{g_{OTA1}(1 + s/2\pi f_{CZ})}{(C_2 + C_3)s(1 + s/2\pi f_{CP})} \quad (55)$$

The pole and zero are to regulate the overall voltage loop with the cross-over frequency below 100Hz and create the phase margin for the loop stability.

3.3.5 Feedback $G_4(s)$

The Feedback block is a simple voltage divider to monitor the bulk capacitor output voltage. The circuit is shown in Figure 24.

$$G_4(s) = \frac{\Delta V_{sense}}{\Delta V_{out}} = \frac{R_2}{R_1 + R_2} \quad (56)$$

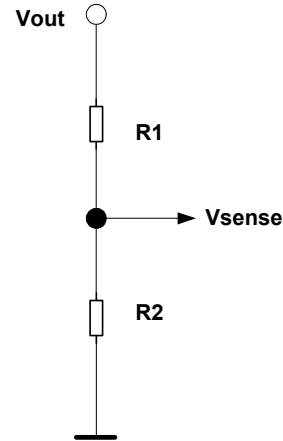


Figure 24 bulk voltage sensing divider

3.3.6 Overall Open Loop Transfer Function $G_V(s)$

With combining all of the blocks above, the overall open loop gain for voltage loop is equal to:

$$G_V(s) = G_1(s)G_{NON}(s)G_{23}(s)G_4(s) \quad (57)$$

Due to PF requirement, inherent PFC dynamic voltage loop compensation is always implemented with low bandwidth in order not to make the response for $2 \cdot f_L$ ripple. For example, for 50Hz AC line input, PFC voltage loop bandwidth is normally set below 20Hz. The compensation circuit R4, C2 and C3 are used to optimize the loop gain and phase margin.

3.3.7 Enhance dynamic response

As mentioned in Section 4.6, the inherent low bandwidth of voltage loop in PFC application will lead to slow response in case of sudden load step and result in large output overshoot or drop. Enhance dynamic response feature is integrated in ICE2PCS02 to have a fast response in the case of load step. The voltage loop with including enhance dynamic response block is shown in Figure 25.

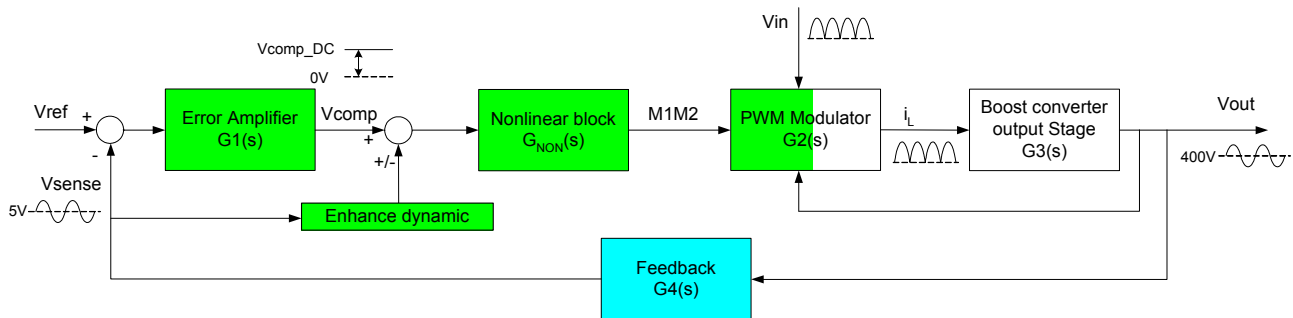


Figure 25 voltage loop block diagram including enhance dynamic response

When Vsense voltage variation is within -5% to +5% of nominal value, there is no function of enhance dynamic response block. However, when Vsense variation is out of such +/-5% range, enhance block will add offset voltage on top of Vcomp voltage to influence the current amplitude.

The timing diagram of enhance dynamic response operation is shown in Figure 26 with sudden load jump situation. It can be seen that during enhance dynamic operation, the high current of boost choke is delivered for fast response. Within half sinusoidal period, when Vsense operating around the boundary of -5% threshold, the first part of boost choke current follows high amplitude profile due to enhance mode offset and the rest of boost choke current come back to low amplitude profile without enhance mode offset. When Vsense voltage is pulled back within +/-5% range, enhance dynamic offset disappear and boost choke current waveform will stay as perfect sinusoidal shape.

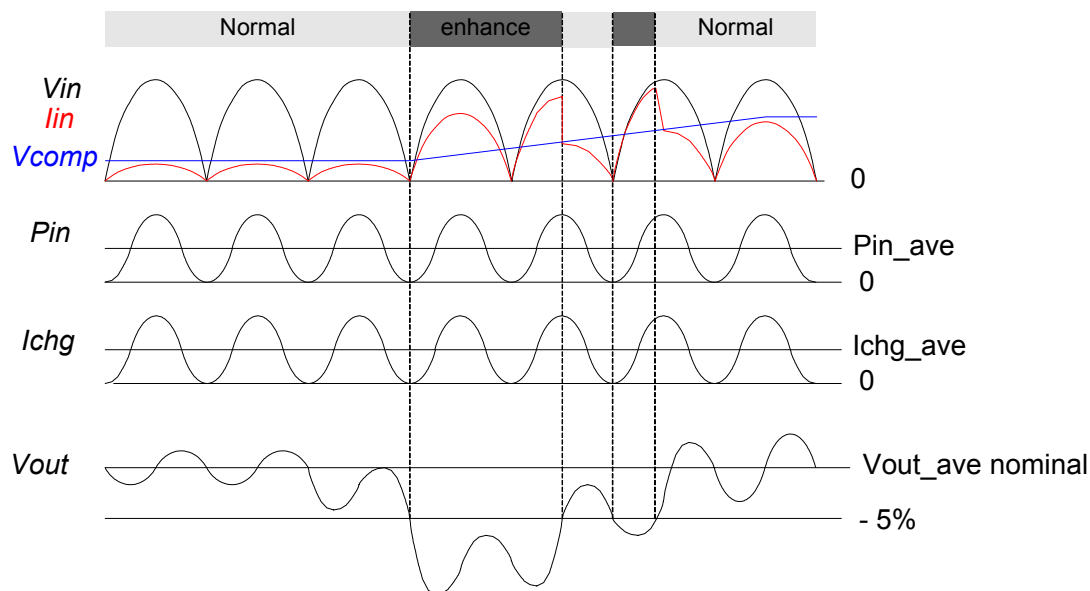


Figure 26 timing diagram for enhance dynamic operation

3.4 Design Example

Assuming a 300W application with universal input AC voltage 85~265VAC,

constant power load
efficiency=90%

$V_{out}=400VDC$
 $C_{out}=220\mu F/450V$
 $f_{SW}=125kHz$
 $R_{sense}=0.1\Omega$
 Boost choke inductance $L=1.2mH$ (please note that the inductance may change at different choke current)
 V_{sense} divider: $R1=390k\Omega \cdot 2=780k\Omega$, $R2=6k\Omega$

3.5 Vcomp and M1, M2 value at full load condition

(1) 85VAC:

RMS AC input current under full load:

$$I_{L_rms_85} = \frac{P_{out}}{\eta \cdot V_{inrms_85}} = \frac{300}{0.9 \cdot 85} = 3.92A \quad (58)$$

From equation (43), With $K_{FQ} = 4.34$ and $K_1 = 4$ from the ICE2PCS02 Datasheet,

$$M_1 M_2|_{85VAC} = \frac{I_{L_rms_85} K_1 R_{sense} V_{out}}{K_{FQ} V_{inrms_85}} = \frac{3.92 \cdot 4 \cdot 0.1 \cdot 400}{4.34 \cdot 85} = 1.70 \quad (59)$$

From table 2 and Figure 22, it can be obtained

Vcomp	M1	M2	M1*M2
3.75	8.888E-01	1.802E+00	1.601E+00
4.00	9.184E-01	2.442E+00	2.243E+00

With Linear approximation:

$$V_{comp_85} = V_{comp_1} + \frac{M_1 M_2|_{85VAC} - M_1 M_2|_{V_{comp_1}}}{M_1 M_2|_{V_{comp_2}} - M_1 M_2|_{V_{comp_1}}} \cdot (V_{comp_2} - V_{comp_1}) \quad (60)$$

$$V_{comp_85} = 3.75 + \frac{1.70 - 1.601}{2.243 - 1.601} \cdot (4 - 3.75) = 3.79V$$

$$M_1|_{85VAC} = M_{1_1} + \frac{M_{1_2} - M_{1_1}}{V_{comp_2} - V_{comp_1}} \cdot (V_{comp_85} - V_{comp_1}) \quad (61)$$

$$M_1|_{85VAC} = 0.889 + \frac{0.918 - 0.889}{4 - 3.75} \cdot (3.79 - 3.75) = 0.894$$

$$M_2|_{85VAC} = M_{2_1} + \frac{M_{2_2} - M_{2_1}}{V_{comp_2} - V_{comp_1}} \cdot (V_{comp_85} - V_{comp_1}) \quad (62)$$

$$M_2|_{85VAC} = 1.802 + \frac{2.442 - 1.802}{4 - 3.75} \cdot (3.79 - 3.75) = 1.91$$

The small signal gain of nonlinear block is

$$G_{NON}(s)|_{85VAC} = \frac{M_1 M_2|_{V_{comp_2}} - M_1 M_2|_{V_{comp_1}}}{V_{comp_2} - V_{comp_1}} = \frac{2.243 - 1.601}{4 - 3.75} = 2.568 \quad (63)$$

The inherent pole of f_{23} is

$$f_{23}|_{85VAC} = \frac{1}{2\pi \frac{K_1 R_{sense} V_{out_AVE}^3 C_{out}}{K_{FQ} \cdot (M_1 M_2)|_{85VAC} \cdot V_{inrms_85}^2}} = 1.54Hz \quad (64)$$

(2) 265VAC

RMS AC input current under full load:

$$I_{L_rms_265} = \frac{P_{out}}{\eta \cdot V_{inrms_265}} = \frac{300}{0.9 \cdot 265} = 1.257A \quad (65)$$

From equation (43),

$$M_1 M_2|_{265VAC} = \frac{I_{L_rms_265} K_1 R_{sense} V_{out}}{K_{FQ} V_{inrms_265}} = \frac{1.257 \cdot 4 \cdot 0.1 \cdot 400}{4.34 \cdot 265} = 0.175 \quad (66)$$

From table 2 and Figure 22, it can be obtained

Vcomp	M1	M2	M1*M2
2.25	3.768E-01	4.590E-01	1.729E-01
2.50	4.884E-01	5.523E-01	2.697E-01

With Linear approximation:

$$V_{comp_265} = V_{comp_1} + \frac{M_1 M_2|_{265VAC} - M_1 M_2|_{V_{comp_1}}}{M_1 M_2|_{V_{comp_2}} - M_1 M_2|_{V_{comp_1}}} \cdot (V_{comp_2} - V_{comp_1}) \quad (67)$$

$$V_{comp_265} = 2.25 + \frac{0.175 - 0.1729}{0.2697 - 0.1729} \cdot (2.5 - 2.25) = 2.255V$$

$$M_1|_{265VAC} = M_{1_1} + \frac{M_{1_2} - M_{1_1}}{V_{comp_2} - V_{comp_1}} \cdot (V_{comp_265} - V_{comp_1}) \quad (68)$$

$$M_1|_{265VAC} = 0.3768 + \frac{0.4884 - 0.3768}{2.5 - 2.25} \cdot (2.266 - 2.25) = 0.386$$

$$M_2|_{265VAC} = M_{2_1} + \frac{M_{2_2} - M_{2_1}}{V_{comp_2} - V_{comp_1}} \cdot (V_{comp_265} - V_{comp_1}) \quad (69)$$

$$M_2|_{265VAC} = 0.459 + \frac{0.5523 - 0.459}{2.5 - 2.25} \cdot (2.255 - 2.25) = 0.461$$

The small signal gain of nonlinear block is

$$G_{NON}(s)|_{265VAC} = \frac{M_1 M_2|_{V_{comp_2}} - M_1 M_2|_{V_{comp_1}}}{V_{comp_2} - V_{comp_1}} = \frac{0.2697 - 0.1729}{2.5 - 2.25} = 0.3872 \quad (70)$$

The inherent pole of f_{23} is

$$f_{23}|_{265VAC} = \frac{1}{2\pi \frac{K_1 R_{sense} V_{out_AVE}^3 C_{out}}{K_{FQ} \cdot (M_1 M_2)|_{265VAC} \cdot V_{inrms_265}^2}} = 1.54Hz \quad (71)$$

3.5.1 Current Averaging Circuit

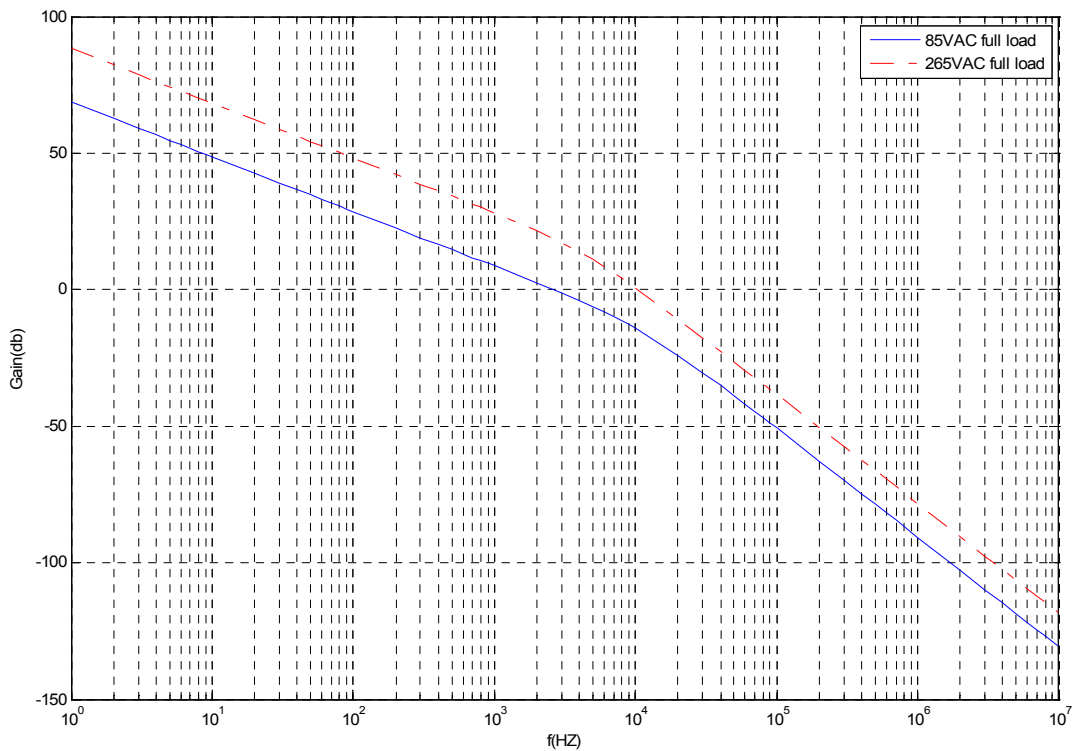
With $g_{OTA2}=1.0\text{mS}$ from Datasheet, M1@85VAC, and assuming $f_{AVE}=13\text{kHz}$ which is 10 times less than switching frequency 125kHz, then

$$C_{i\text{comp}} \geq \frac{g_{OTA2} M_1|_{85VAC}}{K_1 \cdot 2\pi f_{AVE}} = \frac{1.0E-3 \cdot 0.895}{4 \cdot 2\pi \cdot 24E3} = 3\text{nF} \quad (72)$$

Select $C_{i\text{comp}}=3.3\text{nF}$

3.5.2 Current Loop Regulation

Insert M1 and M2 value in equation (40). The amplitude and phase angle of $G_C(s)$ is shown in Figure 27 to verify the stability of current loop and the requirement of f_c less than switching frequency.



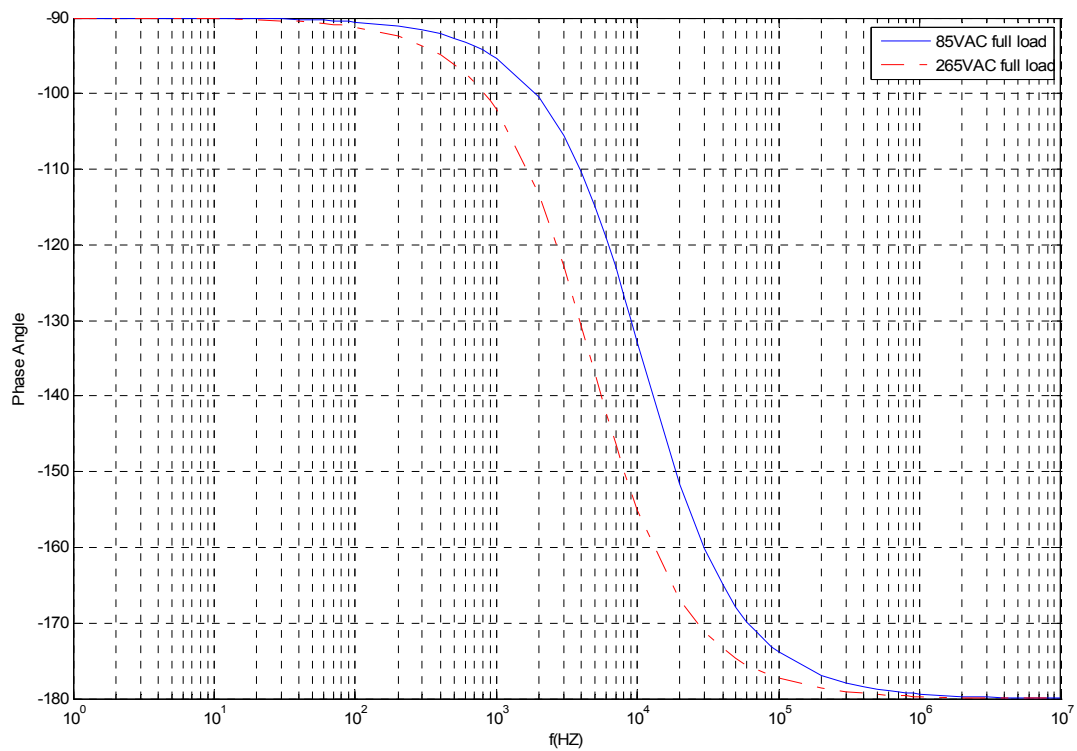


Figure 27 The bode plot and phase angle for current loop

The cross over frequency and phase margin are 3kHz and 75° for 85VAC, and 10kHz and 25° for 265VAC.

3.5.3 Voltage Loop Regulation

From the above sections, it can be obtained:

$$G_1(s) = \frac{\Delta V_{comp}}{\Delta V_{sense}} = \frac{g_{OTA1}(1 + \frac{s}{2\pi f_{CZ}})}{(C_2 + C_3)s(1 + \frac{s}{2\pi f_{CP}})} \quad (73)$$

$$G_{NON}(s) = \frac{\Delta(M_1 M_2)}{\Delta V_{comp}} \quad (74)$$

$$G_{23}(s) = \frac{\Delta V_{out}}{\Delta(M_1 M_2)} = \frac{\frac{V_{out_AVE}}{M_1 M_2}}{1 + \frac{s}{2\pi f_{23}}} \quad (75)$$

$$G_4(s) = \frac{\Delta V_{sense}}{\Delta V_{out}} = \frac{R_2}{R_1 + R_2} = \frac{6.2}{806.2} = 0.0077 \quad (76)$$

The open loop gain for voltage loop is to times all above factors together as:

$$G_V(s) = G_1(s)G_{NON}(s)G_{23}(s)G_4(s)$$

$G_1(s)$ is used to provide enough phase margin and also limit the bandwidth below 20Hz. R_4 , C_2 and C_3 can be chosen as required. f_{CZ} normally select to be compensate the pole in $G_{23}(s)$. f_{CP} normally select to be 40~70Hz in order to fast put down the gain amplitude and reject the high frequency interference. In this example f_{23} is around 1.54Hz at 85VAC/ 265VAC and full load. So the initial target is: f_{CZ} is chosen to be close to 1.5Hz, and f_{CP} is chosen to be 50Hz.

C_2 and C_3 is calculated to obtain $G_V(s)$ cross over frequency around 10Hz. The gain amplitude of $G_{NON} \cdot G_{23} \cdot G_4$ in 85VAC and full load is shown in Figure 28. It can be seen that at $f=10$ Hz, the gain is about -4.52dB. So G_1 should provide the gain +4.52dB at $f=10$ Hz. Considering that $C_2 \gg C_3$ due to $f_{CZ} < f_{CP}$ and $10\text{Hz} \gg 1\text{Hz} = f_{CZ}$, then

$$G_1(10\text{Hz}) = \frac{g_{OTA1} \frac{10\text{Hz}}{1\text{Hz}}}{C_2 \cdot 2\pi \cdot 10\text{Hz}} = +4.52\text{dB} \quad (77)$$

$$C_2 = \frac{39 \cdot 10^{-6} \cdot \frac{10\text{Hz}}{1\text{Hz}}}{10^{\frac{4.52}{20}} \cdot 2\pi \cdot 10\text{Hz}} = 3.69\mu\text{F}$$

3.97uF is not common for ceramic type capacitor. So select $C_2=1\mu\text{F}$, then f_{CZ} is recalculated as:

$$G_1(10\text{Hz}) = \frac{g_{OTA1} \sqrt{1 + (10\text{Hz}/f_{CZ})^2}}{C_2 \cdot 2\pi \cdot 10\text{Hz}} = +4.52\text{dB}$$

$$f_{CZ} = \frac{10\text{Hz}}{\sqrt{\left(\frac{1\mu\text{F} \cdot 10^{4.52/20} \cdot 2\pi \cdot 10\text{Hz}}{39 \cdot 10^{-6}} \right)^2 - 1}} = 4.30\text{Hz} \quad (78)$$

according to $f_{CZ} = \frac{1}{2\pi R_4 C_2} = 4.30\text{Hz}$ then

$$R_4 = \frac{1}{2\pi \cdot 4.30\text{Hz} \cdot C_2} = 37\text{k}\Omega \quad (79)$$

select $R_4=33\text{k}\Omega$, and $f_{CP} = \frac{1}{2\pi \frac{R_4 C_2 C_3}{C_2 + C_3}} \approx \frac{1}{2\pi R_4 C_3} = 50\text{Hz}$

$$C_3 = \frac{1}{2\pi \cdot 50\text{Hz} \cdot R_4} = 96.5\text{nF} \quad (80)$$

select $C_3=100\text{nF}$

The gain amplitude and phase angle of overall voltage loop $G_V(s)$ at 85VAC and 265VAC in full load condition is shown in Figure 28 and Figure 29. At 85VAC, the cross over frequency f_V is around 9.5Hz and the phase margin is about 63°. At 265VAC, the cross over frequency f_V is around 14Hz and the phase margin is about 62°.

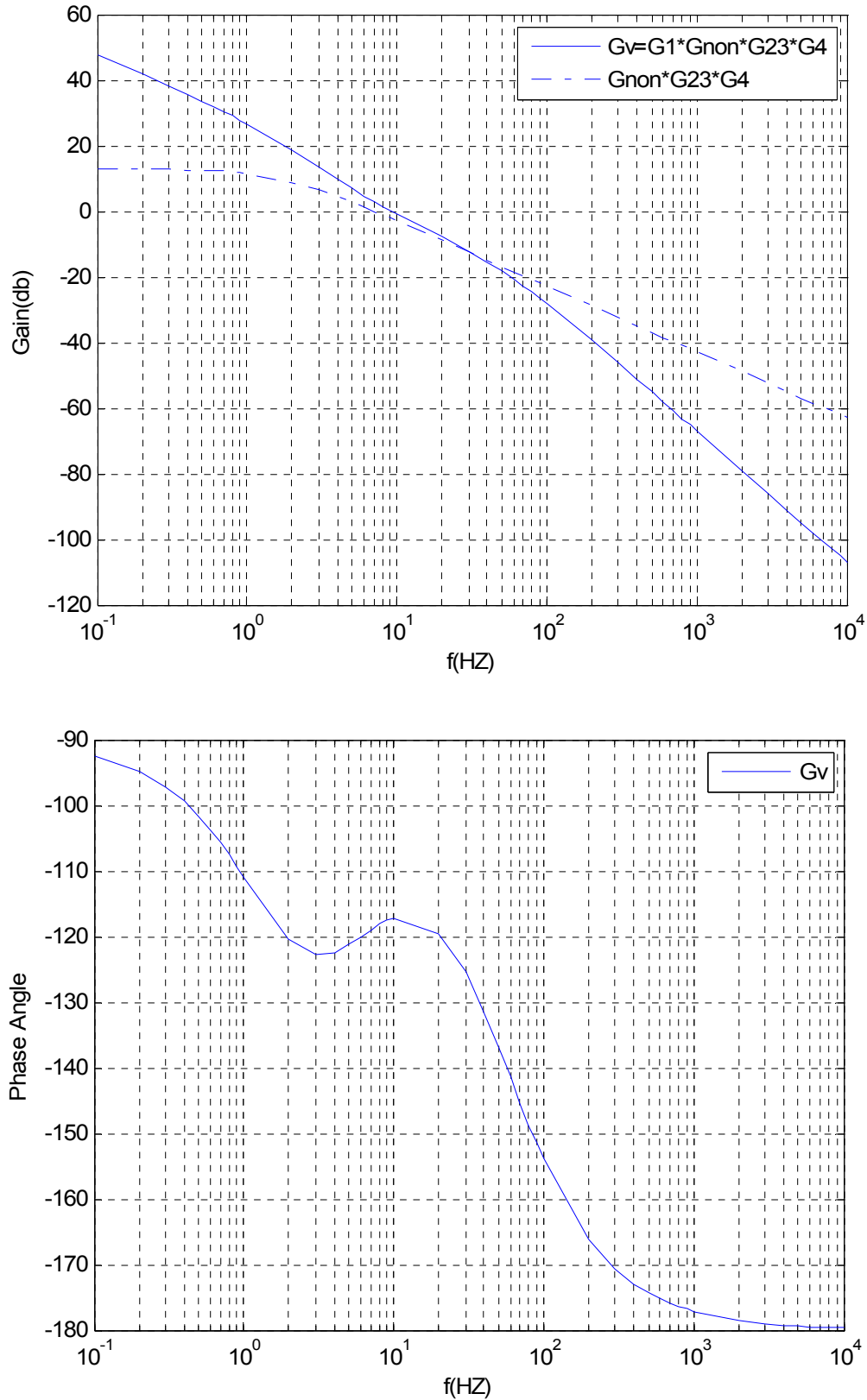


Figure 28 the bode plot and phase angle for voltage loop at 85VAC and full load

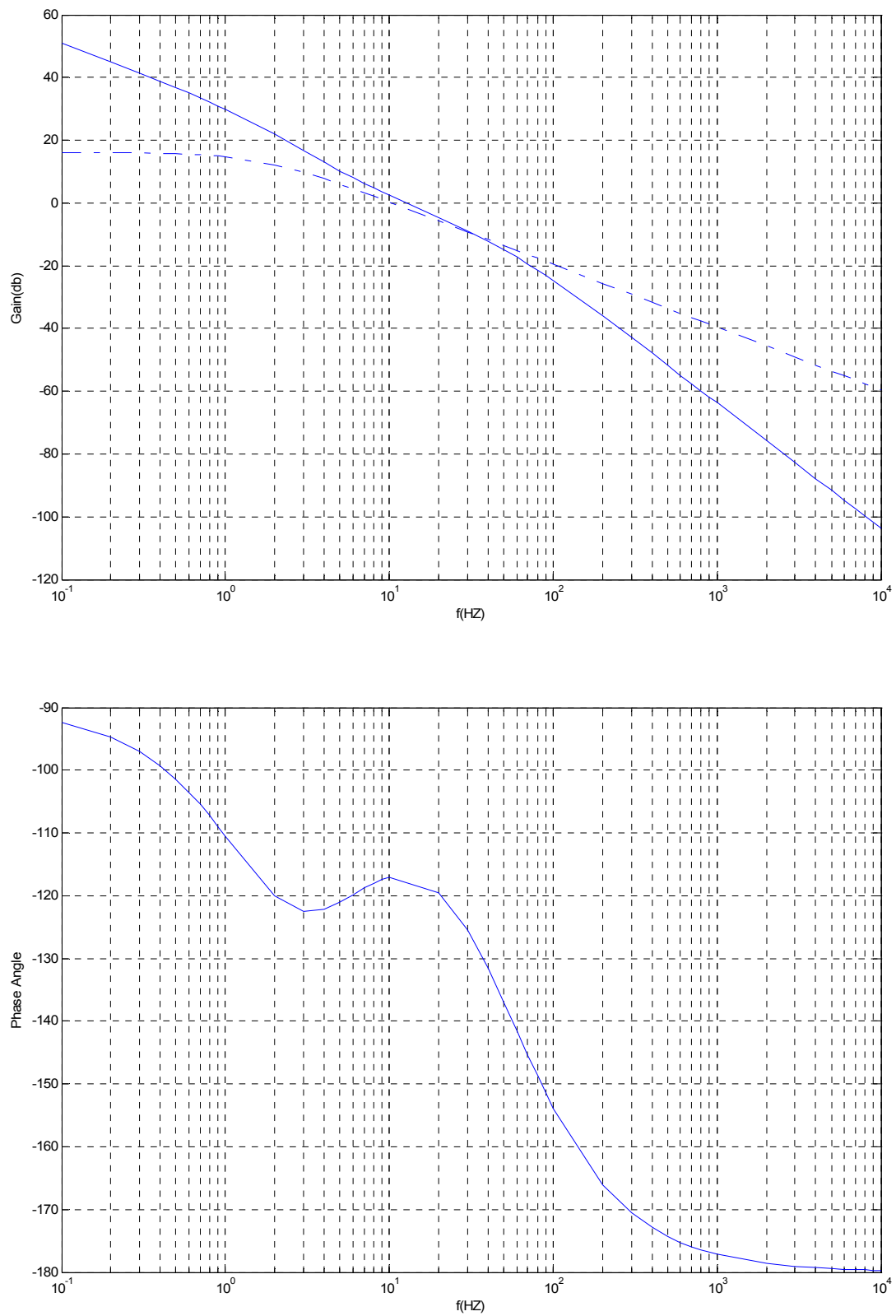


Figure 29 The bode plot and phase angle for voltage loop at 265VAC and full load

References

- [1] Infineon Technologies: ICE2PCS01 - Standalone Power Factor Correction Controller in Continuous Conduction Mode; Preliminary datasheet; Infineon Technologies; Munich; Germany; Sept. 2007.
- [2] Infineon Technologies: ICE2PCS02 - Standalone Power Factor Correction (PFC) Controller in Continuous Conduction Mode (CCM) at Fixed Frequency, Preliminary datasheet; Infineon Technologies; Munich; Germany; Sept. 2007.
- [3] Luo Junyang, Liu Jianwei, Jeoh Meng Kiat, 300W CCM PFC Evaluation Board with ICE2PCS02, CoolMOS™ and SiC Diode thinQ!™, Application note, Infineon Technologies, Munich, Germany, Feb. 2007.
- [4] Luo Junyang, Liu Jianwei, Jeoh Meng Kiat, ICE2PCSxx, New generation of BiCMOS technology, Application note, Infineon Technologies, Munich, Germany, Feb, 2007
- [5] Luo Junyang, Liu Jianwei, Jeoh Meng Kiat, ICE1PCS01 Based Boost Type CCM PFC Design Guide - Control Loop Modeling, Application note, Infineon Technologies, Munich, Germany, May, 2007.
- [6] Luo Junyang, Liu Jianwei, Jeoh Meng Kiat, ICE1PCS01/02 Boost Type CCM PFC Design with ICE1PCS01. Application note, Infineon Technologies, Munich, Germany, Apr. 2007.